

**Design and Implementation of HW-SW System
for High Precision Force Measurement
and Applications in Microrobotics /
Dizajn i realizacija softversko-hardverskog sistema
za merenje sile visoke preciznosti
i primene u mikrorobotici**

Časlav Božić



**ELEKTROTEHNIČKI FAKULTET
BEOGRAD**

Uvod

Rad je rezultat boravka na Istraživačko-razvojnom institutu za informatiku OFFIS Univerziteta u Oldenburgu. Istraživački i praktični deo rada su sprovedeni u Laboratoriji za mikrorobotiku i automatiku AMIR. U laboratoriji AMIR privodi se kraju jedan od najvažnijih evropskih projekata u oblasti mikrorobotike, a to je izrada automatizovanog nanomanipulatora za rukovanje nanoobjektima pod skenirajućim elektronskim mikroskopom.

Ovaj nanomanipulator ima primenu u rukovanju TEM lamelama, prihvatanju i spajanju mikroprovodnika i korekcijama integrisanih kola. Njegovi najvažniji delovi su: postolje koje se unosi u skenirajući elektronski mikroskop i koje sadrži nanomotore koje obezbeđuju mogućnost pozicioniranja uzorka sa 5 stepeni slobode (3 translaciona pomeraja i rotacija oko 2 ose), zatim specijalizovani softver koji složenim algoritmima prepoznavanja slike određuje položaj uzorka, i konačno mikrohvataljka izrađena u laboratoriji Nascatec koja služi za hvatanje i pomeranje nanoobjekta.

Pristup koji je primenjen za određivanje trenutka u kojem dolazi do kontakta između objekta i mikrohvataljke je kao što sledi. Hvataljka se pobuđuje oscilacijama na rezonantnoj frekvenciji. Kada dođe do kontakta između hvataljke i objekta, rezonantna frekvencija se pomera i oscilacije se prigušuju. Kako je hvataljka izrađena od piezo-rezistivnog materijala, ovo izaziva promenu u ulaznoj impedansi hvataljke koju je moguće detektovati.

Ovaj pristup obezbeđuje diferencijaciju između postojanja i nepostojanja sile primenjene na hvataljku, ali ne omogućava određivanja intenziteta te sile. Za objekte od čvrstih materijala, kao što su Si, drugi poluprovodnici ili metali, ovaj pristup je zadovoljavajući, ali ne omogućuje manipulaciju biološkim objektima. Manipulacija biološkim objektima je pravac daljeg razvoja ovog projekta.

Biološki objekti, kao što su čitave ćelije ili ćelijski delovi (jedro ili druge organele), veoma su osetljive strukture i zahtevaju veoma pažljivu manipulaciju, sa strogo ograničenim maksimalnim primenjenim silama koje su u sub- μ N opsegu. Za kontrolu ovog ograničenja neophodno je obezbediti veoma precizno merenje primenjenih sila.

Drugi razlog za razvoj ovakvog sistema je upotreba haptičkog interfejsa za kontrolu manipulatora. Već se razvijaju upravljači koji povratnu informaciju o sili otpora površina na koju se deluje manipulatorom prevode u sile dovoljno velike da osobi koja upravlja preko čula dodira haptičkom senzacijom prosledi tu povratnu informaciju. I za ovu namenu je neophodno obezbediti veoma precizno merenje sile, a u ovom slučaju je kritična i brzina konverzije rezultata, pošto se povratna informacija mora obezbediti u realnom vremenu.

Još jedna namena, i projekat u okviru kojeg je obavljen razvoj ovog sistema, je RoboMat, projekat razvoja specijalizovanog alata za sprovođenje mehaničkih testova na mikrometarskim slojevima materijala. Veoma tanki slojevi materijala imaju drugačije mehaničke osobine od onih u makrosvetu. Ove mehaničke karakteristike je neophodno odrediti pre izbora materijala za izgradnju nanokomponenti, kao što su nanohvataljke, senzori ili nanomotori. Mehaničke osobine se određuju nanoindentacijom, kada se vrši indentacija materijala i beleži ostvarena sila reakcije kao i dubina dobijene deformacije. Iz izmerenih podataka se određuje modul elastičnosti kao najbitniji mehanički parametar materijala.

U radu su izložena originalna rešenja, kao i tok inženjerskog posla dizajna i implementacije jednog kompletnog sistema. Naglasak je i na problemima i izazovima koji su se u toku tog procesa javili, kao i specifičnim rešenjima nađenim za svaki od tih problema.

Postojeća rešenja

Kako je ovo sistem veoma specifične namene, ne postoji mnogo dostupnih rešenja. Jedno od rešenja je sistem za A/D konverziju Braunschweig, koji se isporučuje sa trokanalnim senzorom, i koji prema rečima proizvođača ima rezoluciju od oko $1\mu\text{V}$. Nedostatak ovog rešenja je visoka cena i to što je prilagođen senzoru istog proizvođača, što ograničava slobodu u izboru upotrebljenog senzora.

Jedno slično rešenje alata za određivanje mehaničkih karakteristika dato je u [Brock03], ali kako ono ne uključuje precizno merenje sile, nego samo posmatranje deformacije pod elektronskim mikroskopom, od značaja je bila samo teorijska osnova koju ovaj rad pruža.

Detalji implementacije

Bilo je potrebno dizajnirati i implementirati analogni i digitalni interfejs između PC računara sa jedne i senzora za merenje sile sa druge strane radi uspostavljanja mernog i kontrolnog kola.

Hardver

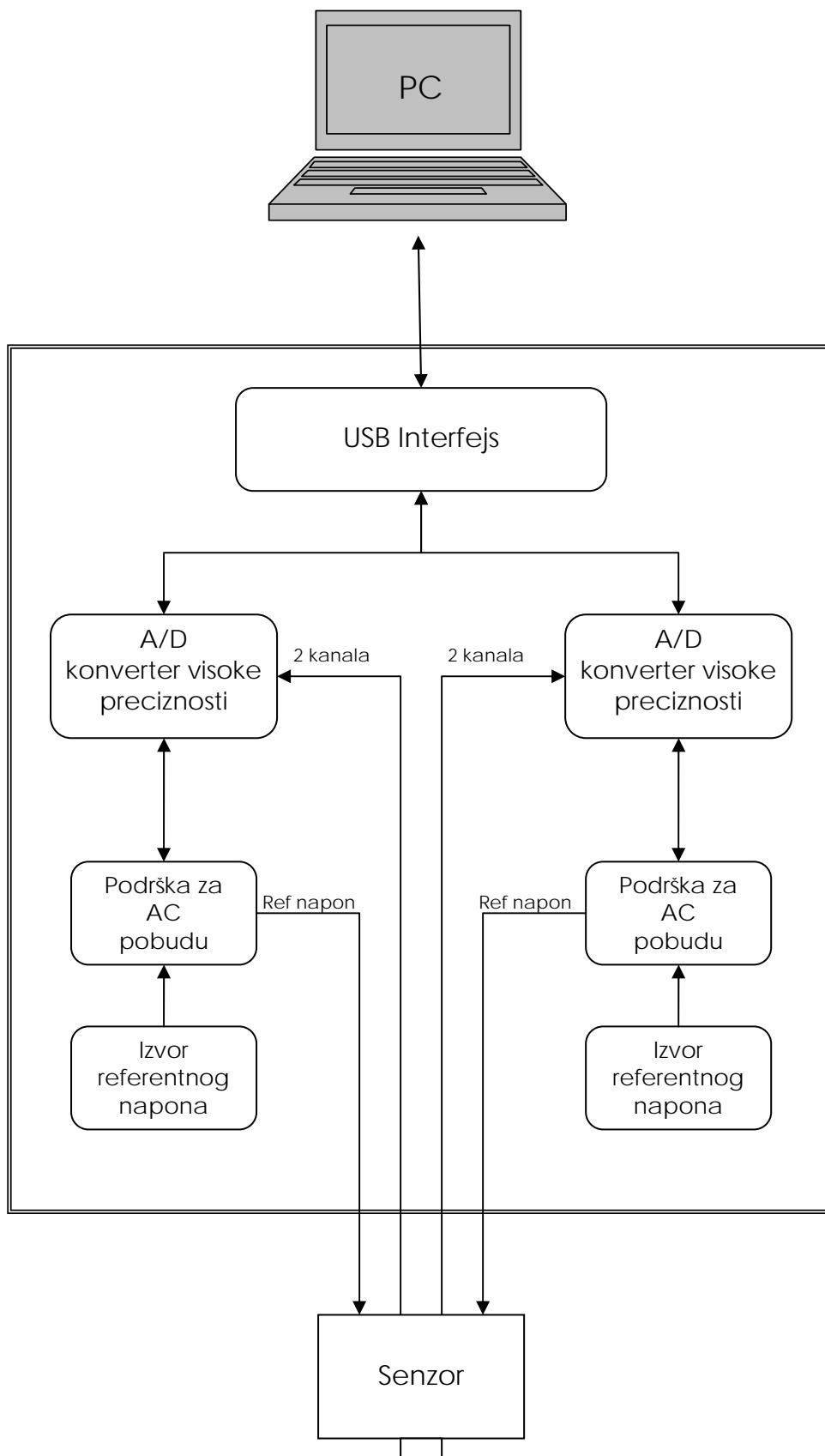
Upotrebljeni senzori (Nascatec cantilever i 3-kanalni senzor Braunschweig) dizajnirani su u konfiguraciji Vitstonovog mosta. Četiri piezo otpornika formiraju Vitstonov most, a razlika u otpornosti između otpornika koji su pod uticajem sile i onih koji nisu deformisani srazmerna je primenjenoj sili. Svaki Vitstonov most ima 4 porta: 2 za referentni napon i još 2 za diferencijalni izlaz sa naponom srazmernim primenjenoj sili. Za potpunu funkcionalnost sa 3-kanalnim senzorom, potrebno je da interfejs podržava analognu-digitalnu konverziju na bar 3 kanala.

Za povezivanje sa PC računarom izabran je USB interfejs zbog velike brzine i činjenice da je to već standardni deo skoro svake PC konfiguracije. Takođe je implementirana i mogućnost korišćenja paralelnog porta.

Hardverski deo podsistema se sastoji od nekoliko funkcionalnih blokova, kao što je prikazano na slici 1.



Slika 0: Izgled gotovog uređaja



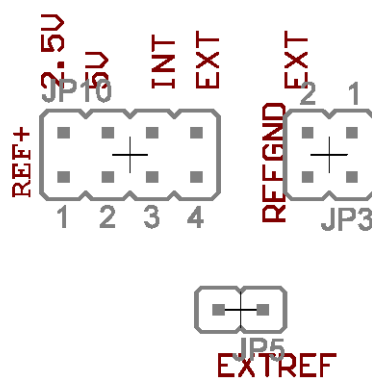
Slika 1: Blok šema uređaja

Jezgro sistema čine 2 Analog Devices AD7730 A/D konvertora visoke rezolucije. Ovaj A/D konvertor je dizajniran specijalno za korišćenje sa kolima u konfiguraciji Vitstonovog mosta i ima karakteristike koje se veoma dobro uklapaju u zahteve za merenje sile visoke preciznosti korišćenjem senzora za merenje sile u ovakvoj konfiguraciji. Karakteristike komponente AD7730 biće detaljnije razmotrene u sledećim poglavljima.

Senzori se sastoje od mernih traka čija se otpornost menja kada su izloženi mehaničkoj deformaciji. Merne trake su raspoređene u obliku Vitstonovog mosta i one su pasivne komponente i zahtevaju spoljni izvor napona kako bi generisale napon na diferencijalnom izlazu. Blok "Izvor referentnog napona" na slici 1 obezbeđuje senzoru referentni napon visoke preciznosti za ekscitaciju senzora. Moguće je izabrati referentni napon sa vrednošću 2,5V ili 5V. Prvi referentni napon se dobija upotrebom komponente Analog Devices AD580, koja obezbeđuje napon od $2,5V \pm 0,4\%$, a drugi referentni napon se dobija komponentom Analog Devices high precision AD586 koja obezbeđuje napon $5V \pm 0,04\%$. Takođe je moguće koristiti sistemsko napajanje od 5V kao referentni napon, ili povezati spoljašnji izvor referentnog napona na konektor JP5. Izbor referentnog napona se vrši džamperima JP10 i JP3. Prema tabeli 1 džamper JP10 se koristi za izbor pozitivnog referentnog napona, a svaka pozicija ima odgovarajuću poziciju džampera JP3. Položaji su numerisani kao na slici 2.

Referentni napon	Pozicija JP10	Pozicija JP3
2.5V	1	1
5V	2	1
Interno napajanje 5V	3	1
Eksterni referentni napon	4	2

Tabela 1: Izbor referentnog napona

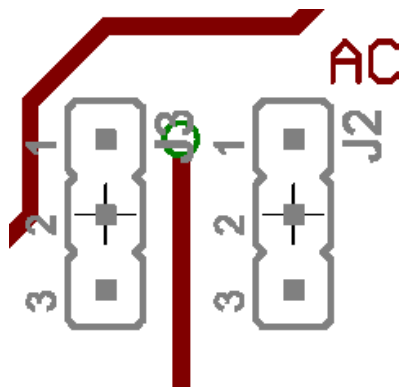


Slika 2: Džamperi JP10 i JP3 i konektor JP5

Jedna od osobina AD7730 je da je specificiran za drift tokom vremena. Moguća su dva načina naponskog pobuđivanja senzora: DC pobuđivanje i AC pobuđivanje. Ovo se bira uz pomoć džampera J2 i J3, prema tabeli 2. Pinovi džampera su numerisani kao što je prikazano na slici 3. U konfiguraciji DC pobuđivanja blok "AC Excitation Support" se preskače i referentni napon konstantne vrednosti se vodi na senzor i komponentu AD7730. Efekti termoparova su uobičajeni izvor neželjenog drifta, a oni se mogu izbeći upotrebom konfiguracije sa AC pobuđivanjem. Prilikom AC pobuđivanja, polaritet napona pobude se obrće u naizmeničnim ciklusima. Za obrtanje polariteta referentnog napona koristi se STMicroelectronics analogni svič M74HC4066.

Konfiguracija	Pozicija J2	Pozicija J3
DC pobuda	2 i 3 kratkospojeni	2 i 3 kratkospojeni
AC pobuda	1 i 2 kratkospojeni	1 i 2 kratkospojeni

Tabela 2: Izbor načina pobude referentnim naponom



Slika 3: Detalj izgleda štampanog kola koji prikazuje džampere J2 i J3

Uzimajući u obzir da je maksimalna učestanost konverzije 7,6 kHz, i da je reč podataka širine do 24 bita, ukupni protok podataka za 4 kanala je 729,6 kbit/s. Dodajući još najmanje 20-30% kontrolnih podataka prilazi se maksimalnoj brzini paralelnog porta. Zbog ovoga je dodata mogućnost povezivanja sa PC računarom putem USB interfejsa. Modul DLP2232M, koji je korišćen u ovu svrhu, nudi SPI protokol koji originalno nije u potpunosti bio kompatibilan sa komunikacionim protokolom komponente AD7730. Uz male dodatke uspelo se u obezbeđivanju kompatibilnosti u komunikaciji, i postignuta je brzina prenosa do 3Mbit/s, što je više nego dovoljno za komunikaciju sa uređajem.

Veza dve pločice

Za obezbeđivanje 4 kanala A/D konverzije visoke rezolucije koriste se 2 identične EVA+ štampane pločice, koje specifičnim dizajnom omogućavaju da se tek u vreme sastavljanja napravi razlika u funkcionalnosti između te dve pločice, a specifičnim načinom povezivanja one se integrišu u jedinstven uređaj veoma dobrih karakteristika.

Za implementaciju jedne varijante SPI protokola koja je korišćena za komunikaciju sa komponentom AD7730, neophodno je obezbediti sledeće signale: SCLK signal takta koji će omogućiti serijski upis i čitanje podatka iz komponente AD7730, dve linije podataka, DIN i DOUT, kao i signale $/CS_0$ i $/CS_1$ za izbor jedne od dve pločice. Za pravilno funkcionisanje još dva signala se moraju čitati iz komponente AD7730. To su $/RDY_0$ i $/RDY_1$. Opcione linije su $/Reset_0$ i $/Reset_1$ i $/Sync$.

Napomena: DIN i DOUT signali su imenovani u odnosu na AD7730 komponente.

$/RDY_0$ i $/RDY_1$ se koriste kao izlazi statusa i u modu konverzije, kao i u modu kalibracije. U modu konverzije, logički nizak signal na ovom izlazu označava da je nova reč spremna u registru podataka komponente AD7730. $/RDY$ signal će se vratiti na logički visok nivo nakon kompletiranja operacije čitanja čitave izlazne reči. Ako se čitanje reči nije obavilo nakon konverzije i izmene podatka, $/RDY$ signal će se vratiti na visoki nivo pre sledeće konverzije, zadržavajući visoki nivo tokom konverzije i vraćajući se ponovo na nizak logički nivo. Ovo označava trenutak kada ne treba započinjati operaciju čitanja, da bi se izbeglo čitanje iz registra podataka dok se vrednost u njemu menja. U modu kalibracije $/RDY$ se menja na

visok nivo kada je kalibracija započeta, a vraća se na nizak nivo da označi kompletiranje kalibracije.

/Reset₀ i /Reset₁ su opcioni jer je moguće resetovati AD7730 komponentu upisivanjem 32 jedinice u serijski interfejs. Ipak, /Reset signal je implementiran i u USB i u paralelnom interfejsu.

Komunikacioni signali koji potiču od paralelnog porta ili USB DLP2232M modula mogu se podeliti u dve grupe: zajednički signali koje se distribuiraju na obe pločice i signali koji postoje posebno za svaku pločicu. Ovo je prikazano u tabeli 3, sa označenim smerom signala, u odnosu na AD7730 komponente.

Zajednički signali			Posebni signali		
SCLK	DIN	DOUT	/CS ₀	/RDY ₀	/Reset ₀
			/CS ₁	/RDY ₁	/Reset ₁
in	in	out	in	out	in

Tabela 3: Dve grupe komunikacionih signala

Signali SCLK i DIN se jednostavno distribuiraju na obe pločice, a za povezivanje DOUT signala sa dve AD7730 komponente koriste se trostatički baferi. Kao kontrolni ulazi ovih trostatičkih bafera koriste se signali selekcije /CS₀ i /CS₁. U slučaju da su obe pločice istovremeno selektovane, neće biti vraćen koristan rezultat, ali otpornik R13 štiti logičke komponente od prevelike struje. Ostavljeno je softverskoj kontroli da spreči pojavljivanje ovog stanja. Ukoliko se koriste razvijene softverske komponente koje su deo ovog sistema, ovo stanje je nedostupno i neće se pojavljivati.

Pločica su dizajnirane na taj način da nema razlike u šematici između dve pločice u sistemu. Razlika se pojavljuje jedino u fazi ugradnje komponenata. Samo na jednoj od dve pločice treba ugraditi USB DLP2232M modul ili SUB-D konektor za paralelni port. Ova pločica će se pojavljivati kao pločica A i koristiće zajedničke signale i signale sa indeksom 0. Ova pločica će se označavati i kao “master”. Druga pločica je pločica B i koristi signale sa indeksom 1 kao i zajedničke signale.

Zajednički konektor JP2 jedne pločice se povezuje sa zajedničkim konektorom JP2 druge pločice, dok se konektor JP11 pločice na kojoj se nalazi USB DLP2232M modul povezuje sa konektorom JP9 druge pločice. “Master” pločica nema JP9 konektor – mesto je zauzeto USB modulom, a JP11 konektor druge pločice se ne koristi i ne mora uopšte biti zalemljen.

Paralelni port

Jedan od načina komunikacije sa PC računarom je putem paralelnog porta. Komunikacija je i na ovaj način serijska, ali paralelni port računara se može koristiti da simulira serijsku komunikaciju nalik SPI protokolu. Obezbeđen je i skup virtuelnih instrumenata (VI) koji podržavaju ovaj vid komunikacije. Za ovaj pristup potrebno je čitati sa porta na adresi koja je bazna adresa paralelnog porta i upisivati podatke u port koji je na adresi za jedan većoj od bazne adrese. Raspored bitova za ova dva porta, zajedno sa brojevima pinova upotrebljenog D-Sub konektora prikazani su u tabelama 4 i 5. PPbase predstavlja baznu adresu paralelnog porta računara.

bit	7	6	5	4	3	2	1	0
-----	---	---	---	---	---	---	---	---

D-SUB Pin	9	8	7	6	5	4	3	2
Parallel Port Signal Name	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
Connected Signal	-	/CS ₁	/Reset ₁	/Sync	SCLK	/CS ₀	/Reset ₀	DIN

Tabela 4: Paralelni port - raspored bitova za PPbase+0

bit	7	6	5	4	3	2	1	0
D-SUB Pin	11	10	12	13	17	16	14	1
Parallel Port Signal Name	/Busy	Ack	Papout	Select	/SelPr	Init	/AutoLF	/Strobe
Connected Signal	-	/RDY ₀	/RDY ₁	DOUT	-	-	-	-

Tabela 5: Paralelni port - raspored bitova za PPbase+1

USB interfejs

Da bi se omogućilo iskorišćenje maksimalne učestanosti konverzije i dovoljan protok za prenos svih podataka dobijenih konverzijom, kao i kontrolnih podataka, kao alternativa paralelnom portu upotrebljen je USB interfejs.

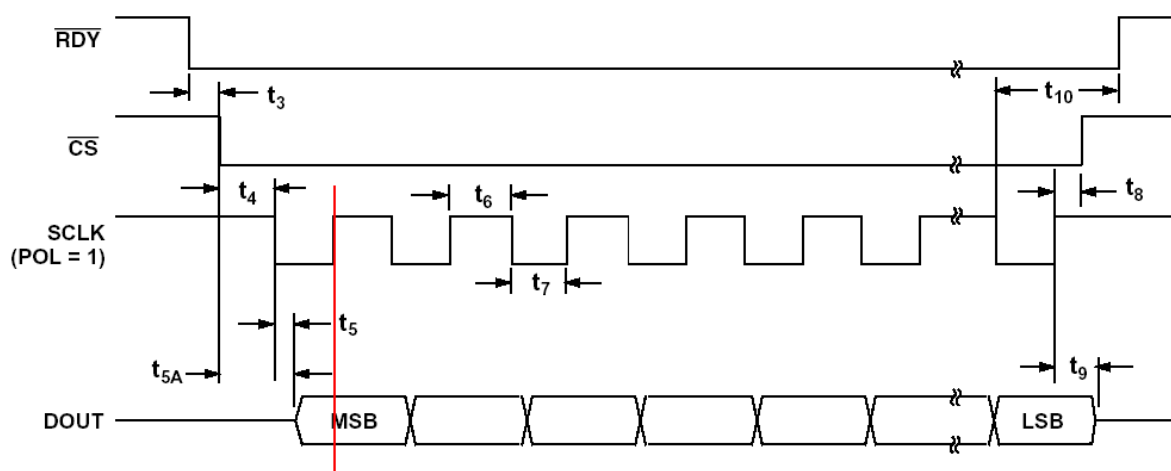
Jedan od modova funkcionisanja DLP2232M modula je kada radi sa aktiviranim “Multi-Protocol Synchronous Serial Engine” (MPSSE). On se može aktivirati na jednom od dva postojeća komunikaciona kanala USB modula. U ovom modu DLP2232M može efikasno da komunicira sa uređajima koji koriste sinhronu serijske protokole (kao što su JTAG ili SPI). 4 od 12 signala rezervisanih za sinhronu komunikaciju imaju specijalnu ulogu. To su SK - izlazni signal takta, DO - serijski izlaz podataka, DI - serijski ulaz podataka i CS - izlazni signal za selekciju. Ostalih 8 signala su ulazno/izlazni signali opšte namene. Tabela 6 prikazuje vezu između pinova modula DLP2232M i ranije pomenutih signala za komunikaciju sa AD7730 komponentama. Smer signala je ovaj put označen u odnosu na DLP2232M modul.

Bit	Naziv signala modula	Pin modula	Smer	Povezani signal
0	SK	AD0	out	SCLK
1	DO	AD1	out	DIN
2	DI	AD2	in	DOUT
3	CS	AD3	out	-
4	GPIOL1	AD4	in/out	-
5	GPIOL2	AD5	in/out	-
6	GPIOL3	AD6	out [§]	/Reset ₀
7	GPIOL4	AD7	out [§]	/Reset ₁
8	GPIOH1	AC0	in [§]	/RDY ₀
9	GPIOH2	AC1	in [§]	/RDY ₁

10	GPIOH3	AC2	out [§]	/CS ₀
11	GPIOH4	AC3	out [§]	/CS ₁

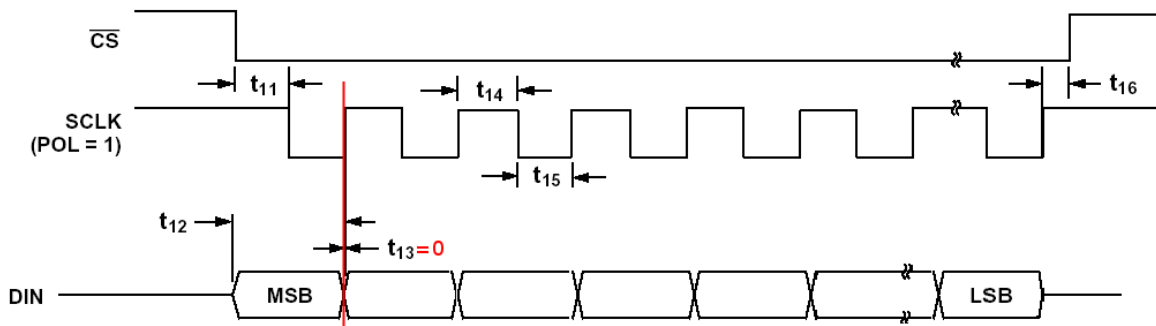
Tabela 6: Signali DLP2232M Modula

Vremenski dijagrami, onako kako su određeni podrazumevanim položajem džampera J1, prikazani su na sledećim slikama. Prilikom operacije čitanja AD7730 komponenta postavlja podatak na DOUT liniju u trenutku silazne ivice SCLK takta. Koristeći read komandu DLP2232M modula koja čita podatak na uzlaznu ivicu SK (SCLK) signala, moguće je direktno čitanje podataka iz komponente. Vremenski dijagram operacije čitanja prikazan je na slici 4. Crvena linija predstavlja trenutak očitavanja DOUT signala.



Slika 4: Vremenski dijagram operacije čitanja

AD7730 komponenta pri operaciji upisivanja učitava podataka sa DIN linije na uzlaznu ivicu SK (SCLK) takta. U aplikacijama sa nekontinualnim signalom takta, kao što je ova, to znači da serijski takt treba da bude na visokom logičkom nivou između dva transfera. Jedina komanda modula DLP2232M koja se može koristiti sa taktom koji miruje na visokom logičkom nivou je ona koja postavlja bit podataka na uzlaznu ivicu signala SK (SCLK). Kao što je prikazano na slici 5, trenutak očitavanja bita podataka se poklapa sa trenutkom izmene vrednosti tog bita.

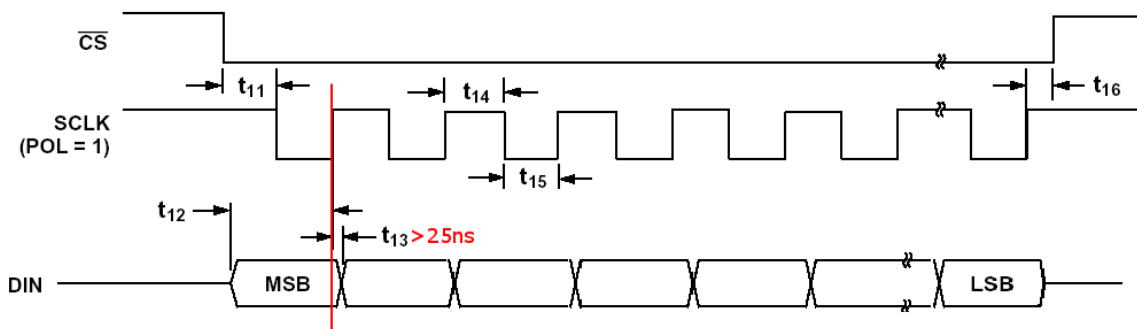


Slika 5: Vremenski dijagram operacije upisa prema originalnom protokolu

Kako AD7730 zahteva hold interval od bar 25ns, vremenski dijagram mora da izgleda kao onaj na slici 6. Rešenje ovog problema je dodavanje kondenzatora između DIN linije i mase, radi uvođenja kašnjenja signala. Eksperimentalno određena vrednost je 55pF - 65pF. Ona

[§] Postavlja se softverom

obezbeđuje optimalno kašnjenje signala, veće od 25ns, bez uticaja na komunikaciju. Vremenski dijagram signala sa kašnjenjem je prikazan na slici 6. Crvena linija ponovo označava trenutak očitavanja DIN signala.



Slika 6: Konačni vremenski dijagram operacije upisa, nakon unošenja korektivnog elementa

Značenja i vrednosti vremenskih parametara sa prethodnih slika može se pronaći u tabeli “Timing Characteristic” [DocAD]

Dizajn štampanog kola

Specifičnim dizajnom dvoslojne štampane pločice postignut je veoma nizak nivo unutrašnjeg šuma uređaja što je omogućilo visoku rezoluciju koja je zahtevana.

Izrada šematike i dizajn EVA+ štampane pločice su urađeni korišćenjem alata Eagle Layout Editor 4.11. Kasnije je konvertovana i sačuvana kao projekat u formatu Target 3001! V11 profesional softverskog paketa. Bilo je neophodno definisati biblioteke simbola i pakovanja za komponente AD7730 i DLP2232M. Kratak pregled svih konektora na pločici sledi u tabeli 7.

Konektor	Opis	Natpis
U\$1	Priključak napajanja od 10V	10-15V, DGND
U\$2	Opcioni priključak za analogno napajanje ¹	AGND, AVDD
JP4	Dvokanalni diferencijalni ulaz	Ain1+, Ain1-, Ain2+, Ain2-
JP5	Eksterni referentni napon	EXTREF
JP1	Izlaz referentnog napona	REF
JP6	Opcioni ACX i /ACX izlazi ²	/ACX, ACX
JP2	Zajednička magistrala komunikacionih signala	COMMON
JP9	Konektor razdvojenih komunikacionih signala (samo bi pločica bez DLP2232M modula trebalo da ima ovaj konektor, na “master” pločici on je prekriven DLP2232 komponentom)	FROM MASTER
JP11	Konektor razdvojenih komunikacionih signala (samo bi “master” pločica trebalo da ima ovaj	O

¹ Videti „Bipolar Excitation of the Bridge“ poglavlje [DocAD] dokumenta

² Videti „AC Excitation of the Bridge“ poglavlje [DocAD] dokumenta

	konektor, na pločici bez DLP2232M modula on je neiskorišćen)	
--	--	--

Tabela 7: Konektori

Mnogi parametri funkcionisanja pločice mogu se podesiti koriseći džampere. U tabeli 8 su nabrojani džamperi EVA+ pločice i njihove funkcije. Podrazumevane vrednosti se obeležene uglastim zagradama.

Džamper	Opis	Pozicija	Natpis
J4	Koristi se eksterno analogno napajanje sa konektora U\$2	1-2	EXTAVDD
	Koristi se interno napajanje za AVDD ulaz komponente AD7730	[2-3]	INTAVDD
JP8	Kratkospojena analogna i digitalna masa	[Short]	GNDs
JP10 (REF+)	2,5V interni referentni napon	[1]	2.5V
	5V interni referentni napon	2	5V
	Koristi se napajanje od 5V kao referentni napon	3	INT
	Koristi se eksterni referentni napon sa konektora JP5	4	EXT
JP3 (REFGND)	Koristi se interna masa za referentni napon	[1]	
	Koristi se eksterna masa za referentni napon	2	EXT
J2/J3 ¹	Koristi se kolo za AC pobudu	[1-2]	AC
	Ne koristi se kolo za AC pobudu	2-3	
J1 (ACTIVE Clk)	Silazna ivica signala SCLK menja DOUT, na uzlaznu ivicu sempluje se DIN, u mirovanju SCLK treba da je na visokom logičkom nivou (POL pin komponente AD7730 na visokom logičkom nivou) ¹	[1-2]	+
	Uzlazna ivica signala SCLK menja DOUT, na silaznu ivicu sempluje se DIN, u mirovanju SCLK treba da je na niskom logičkom nivou (POL pin komponente AD7730 na niskom logičkom nivou) ¹	2-3	-
J5 (POWERED)	Sopstveno napajanje DLP2232M modula	[1-2]	SELF
	DLP2232M modul se napaja preko USB magistrale	2-3	USB

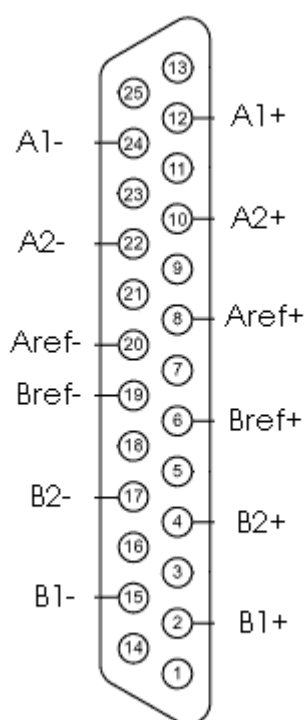
Tabela 8: Džamperi

Pri dizajniranju štampane pločice poštovane su smernice definisane u [Milutinovic2], [Milutinovic98] i [DocAD] koje se odnose na postizanje niskog nivoa šuma, kao i preporuke

¹ Oba džampera treba da su u istom položaju

koje se tiču analogne i digitalne mase. Analogni i digitalni deo uređaja su razdvojeni u posebne delove štampanog kola, kako bi se smanjio uticaj brzo promenljivih digitalnih signala na analogne signale. Digitalna i analogna masa su povezane u jednoj tački, nedaleko od pinova komponente AD7730 što takođe obezbeđuje zaštitu od šuma. Linije signala na suprotnim stranama pločice presecaju se pod uglovima koji su što je moguće više bliski pravom uglu. Zbog smanjenja uticaja termoparova, pokušalo se izjednačavanje uticaja termoparova na oba kraja diferencijalnog ulaza korišćenjem konektora uparenih po karakteristikama na putanji signala. Iako je površina pločice prilično ograničena, ni jedan od brzo promenljivih signala ne prolazi ispod AD7730 čipa, pa je izbegnuto indukovanje šuma na pločici čipa. Diferencijalni ulazi su zaštićeni linijom povezanom na masu od uticaja brzo promenljivih signala takta.

Povezivanje sa senzorom je ostvareno 25-pinskim D-SUB konektorom, sa rasporedom priključaka kao na slici 7.



Slika 7: D-SUB konektor za povezivanje sa senzorom (pogled iznutra)

Signal	D-SUB Pin	Opis
A1+	12	Pozitivni kraj diferencijalnog ulaza, prvi kanal, pločica A
A1-	24	Negativni kraj diferencijalnog ulaza, prvi kanal, pločica A
A2+	10	Pozitivni kraj diferencijalnog ulaza, drugi kanal, pločica A
A2-	22	Negativni kraj diferencijalnog ulaza, drugi kanal, pločica A
Aref+	8	Pozitivni priključak referentnog napona za pločicu A
Aref-	20	Negativni priključak referentnog napona za pločicu A
B1+	2	Pozitivni kraj diferencijalnog ulaza, prvi kanal, pločica B
B1-	15	Negativni kraj diferencijalnog ulaza, prvi kanal, pločica B

B2+	4	Pozitivni kraj diferencijalnog ulaza, drugi kanal, pločica B
B2-	17	Negativni kraj diferencijalnog ulaza, drugi kanal, pločica B
Bref+	6	Pozitivni priključak referentnog napona za pločicu B
Bref-	19	Negativni priključak referentnog napona za pločicu B

Ovaj raspored priključaka omogućava korišćenje oklopljenog kabla za zaštitu diferencijalnih ulaza od uticaja šuma. Uzemljeni oplet se može povezati na pinove koji okružuje svaki od kanala, na taj način štiteći takođe provodnike unutar konektora, ili se neiskorišćeni priključci mogu koristiti za povezivanje nekih drugih signala u budućim verzijama uređaja.

Softver

Razvijena je originalna softverska podrška uređaju koja sa jedne strane omogućava jednostavno i brzo kontinualno očitavanje rezultata kada se koriste podrazumevana podešavanja sistema, a sa druge strane nudi mogućnost sofisticiranog podešavanja parametara sistema za specifične upotrebe.

Za USB komunikaciju proizvođač DLP2232M modula je obezbedio 2 nivoa drajvera. Prvi se sastoji od D2XX drajvera, dozvoljavajući softveru da se povezuje sa uređajem direktno koristeći skup WIndows DLL funkcija. Drugi sloj je Virtual Com Port (VCP) drajver, koji čini da se portovi periferije sa strane PC računara vide kao standardni COM portovi. Prilikom upotrebe VCP drajvera komunikacija sa uređajem se odvija na isti način kao što bi bila sa uobičajenim PC COM portom – koriste se “Windows VCOMM API” pozivi ili “COM port library” biblioteka. Radi iskorišćenja jednostavnosti, pristup sa VCP drajverom je primenjen, a u kasnijim testovima je pokazano da nema promene u brzini izvršavanja softvera kada se direktno pozivaju obezbeđene DLL funkcije iz paketa LabView. Instalacija ovih drajvera je detaljno objašnjena u dokumentima [DocW00] i [DocWXP]. Po instalaciji VCP drajvera neophodno je podesiti prijemni i predajni bafer na minimalnu vrednost. Ovo se može uraditi izmenom veličine bafa USB serijskog porta na 64 u Device Manager-u Windows-a (Properties/Port Settings/Advanced). Ovo ne utiče na performanse, pošto su paketi koji se šalju i primaju manji od 64 bajta, ali će sprečiti probleme u komunikaciji koji nastaju u operativnom sistemu.

Neki od parametara DLP2232M modula se definišu postavljanjem odgovarajućih vrednosti u sadržaju integrisanog EEPROM-a. Proizvođač je obezbedio program “Mprog 2.3” za izmenu sadržaja ugrađenog EEPROM-a. Važno je podesiti stavku “USB Power Option” na “Self Powered”. Templejt sa pravilnim podešavanjima modula je selfpowered.ept.

Razvijen je ekstenzivni skup softverskih komponenti, koje se u razvojnom okruženju LabView nazivaju virtuelni instrumenti ili subVI. Ove softverske komponente obezbeđuju različite funkcionalnosti uređaja, kao što su podešavanje, kalibracija ili čitanje podataka. Svi virtuelni instrumenti (VI) osim Open AD7730 USB.vi i Open Manual AD7730 USB.vi imaju dva ulazna podatka: ime Visa resursa “Visa Resource Name” i klaster greške “Error cluster”. Takođe, svaki od virtuelnih instrumenata ima izlaze: kopiju imena Visa resursa i klaster greške. Vrednosti klastera greške se menjaju u zavisnosti od toga da li se pojavila greška i koje vrste. Ovaj pristup sa ulančavanjem virtuelnih instrumenata putem ulaznih i izlaznih parametara ime Visa resursa i klastera greške, omogućava sekvencijalno izvršavanje komponenti u okruženju LabView, gde se one uobičajeno izvršavaju paralelno.

Otvaranje i zatvaranje komunikacije prema uređaju

Obezbeđene su softverske komponente za izvršavanje neohodnih koraka pre početka komunikacije sa uređajem, kao i na kraju te komunikacije.

Takozvani “Multi-Protocol Synchronous Serial Engine” (MPSSE) interfejs DLP2232M modula mora se aktivirati na početku, da bi obezbedio serijski protokol za komunikaciju sa AD7730 komponentom. Posle ove tačke sva komunikacija sa uređajem ide kroz virtuelni serijski port. Drugi zadatak virtuelnog instrumenta Open AD7730 USB.vi je da automatski pronađe odgovarajući port koji predstavlja VCP. Ovo se obavlja poređenjem opisa svih raspoloživih interfejsa sistema i izborom onog čiji opis odgovara stringu “USB Serial Port”. U slučaju da se ovaj opis interfejsa promeni u nekom od novijih verzija drajvera, ili ovaj pristup iz nekog razloga ne funkcioniše, moguće je koristiti Open Manual AD7730 USB.vi, gde je programeru data mogućnost da fiksira port koji će softver koristiti za komunikaciju sa uređajem. Otvara se Visa sesija prema izabranom portu, tajmout se postavlja na 1s i isključuje

se praćenje terminacionog karaktera. Početno stanje DLP2232 modula određeno je vrednostima parametara koje su prikazane u tabeli 9.

Brzina komunikacije sa AD7730 komponentama (SDCLK frekvencija)	3Mhz
SCLK	Visok logički nivo
Din	Nizak logički nivo
/Reset ₀	Visok logički nivo
/Reset ₁	Visok logički nivo
/CS ₀	Nizak logički nivo
/CS ₁	Visok logički nivo

Tabela 9: Početne vrednosti MPSSE parametara DLP2232M modula, posle Open AD7730 USB.vi

Set Clk AD7730 USB.vi nudi podešavanje brzine komunikacije sa komponentama AD7730 u opsegu 3MHz-91.553Hz.

Na kraju lanca izvršavanja Visa sesija se zatvara aktiviranjem Close AD7730 USB.vi.

Izbor pločice i kanala

Razvijeni sistem se sastoji od dve kompletne pločice koje se mogu konfigurisati pojedinačno. Svaka pločica ima 2 kanala, koji koriste istu konfiguraciju, ali posebne registre za ofset i pojačanje. Izbor kanala u okviru pločice je lokalno za tu pločicu, što znači da ne utiče na selektovani kanal druge pločice. Neki od virtuelnih instrumenata selektuju pločicu i kanal u skladu sa ulaznim parametrima, a obezbeđeni su i virtuelni instrumenti koji eksplicitno vrše izbor željene pločice i kanala. Ovo su Select Board AD7730 USB.vi i Select Input AD7730 USB.vi.

Podešavanje parametara

Kako bi se koristile različite mogućnosti komponenti AD7730, razvijeni su virtuelni instrumenti koji postavljaju vrednosti najvažnijih registara komponenti. Više detalja o funkcionalnostima komponente AD7730 dato je u dokumentu [DocAD].

Reset AD7730 USB.vi se koristi da resetuje jednu od pločica, postavljajući sve registre te pločice na podzumevane vrednosti, kakve su i prilikom aktiviranja uređaja. Za ove vrednosti pogledati poglavlje “On Chip Registers” dokumenta [DocAD].

Za podešavanje osnovnih parametara funkcionisanja uređaja koristi se Set Mode and Offset AD7730 USB.vi. Ova softverska komponenta dozvoljava korisniku da podesi merni opseg napona ulaznog signala, vrednost ofseta koji se dodaje signalu pre početka A/D konverzije i širinu reči podatka o izmerenoj vrednosti, što utiče na rezoluciju. Takođe se koristi da opiše upotrebljeni referentni napon i da inicijalno izabere jedan kanal. U okviru virtuelnog instrumenta UI Set Mode and Offset AD7730 USB.vi programeru je ponuđen skup kontrola, koje u LabView-u predstavljaju specifične GUI komponente parametrizovane za specifičnu upotrebu. Ulančavanjem Visa-Resource i Error klaster ulaza i izlaza ovih kontrola dobija se kontrola unosa parametara sa primenjenim ograničenjima koja zahteva konkretna konfiguracija AD7730 komponente.

Podešavanje karakteristika digitalnog filtra se sprovodi upotrebom Set Filter AD7730 USB.vi. Za karakteristike digitalnog filtra i različite opcije uobličavanja ulaznog signala pogledati poglavlja “On Chip Registers” i “Digital Filtering” dokumenta [DocAD].

Ostali registri mogu se čitati komponentom Read Register AD7730 USB.vi, a u njih upisivati sa Write Register AD7730 USB.vi.

Kalibracija

Ponudena su 2 virtuelna instrumenta koja obezbeđuju kalibraciju uređaja. Svaki kanal svake pločice poseduje sopstvene registre za podešavanje ofseta i pojačanja, pa se kalibracija sprovodi odvojeno za svaki od kanala. Kalibracija se uvek sastoji od 2 koraka, jedan u kojem se podešava nulta vrednost ulaza, i druga u kojoj se podešava vrednost pune skale ulaza. Kalibracija pune skale se uvek obavlja sa referentnim naponom interno spojenim na diferencijalni ulaz. U komponenti Calibrate Internal AD7730 USB.vi za dobijanje nulte vrednosti ulaza, krajevi diferencijalnog ulaza su interno kratkospojeni, dok se tokom izvršenja komponente Calibrate System Zero AD7730 USB.vi očekuje stabilna vrednost napona koji će biti upotrebljen kao vrednost nulte skale. Više o kalibraciji može se naći u poglavlju “Calibration” dokumenta [DocAD].

Čitanje

Jedan od načina za čitanje podatka dobijenog kao rezultat konverzije u AD7730 je da se selektuje ploča, kanal i da se pokrene Read Register AD7730 USB.vi. Ovaj virtuelni instrument prvo će očitati vrednost registra Mode, da bi odredio širinu reči podatka, a zatim, u skladu sa tom vrednošću, pročitao odgovarajući broj bajtova iz registra Data. U slučajevima kada je brzina kritičan parametar, koristi se Read Data AD7730 USB.vi. Kod ovog virtuelnog instrumenta širina reči podatka je ulazni parametar, tako da nema potrebe za čitanjem registra Mode pri svakom dohvatanju podatka. Pored ovih, postoji još jedan skup virtuelnih instrumenata koji obezbeđuju čitanje rezultata konverzije, zajedno sa transformacijom tog rezultata u mV, u zavisnosti od primenjenih podešavanja koja se tiču opsega, polariteta i širine reči podatka.

Postoji nekoliko pristupa čitanju rezultata konverzije iz uređaja u mV.

Kontinualno čitanje jednog od kanala je podržano sledećim komponentama: Prepare Cont Read AD7730 USB.vi, Read Cont AD7730 USB.vi, Read Avg Cont AD7730 USB.vi i End Cont Read AD7730 USB.vi. Prva od njih priprema uređaj za čitanje tako što selektuje pločicu koja je data kao ulazni parametar, i priprema kontinualno čitanje sa ranije izabranog kanala. Čitanje jedne vrednosti konverzije ili srednje vrednosti više konverzija se odvija posle toga. Ovaj korak se ponavlja onoliko puta koliko je potrebno, pazeći da se ni jedan drugi virtuelni instrument ne ubacuje u redosled izvršenja. Na kraju kontinualno čitanje se završava sa End Cont Read AD7730 USB.vi.

Ukoliko je izmena registra Mode neophodna tokom čitanja (npr. izmena ulaznog kanala ili izbor pločice) može se koristiti drugi skup virtuelnih instrumenata. Prepare Read AD7730 USB.vi postavlja pločicu prosledenu kao ulazni parametar u mod kontinualne konverzije, ali omogućava pojedinačna iščitavanja rezultata konverzije. Treba primetiti da su kontinualna konverzija i kontinualno čitanje različiti pojmovi (videti “On Chip Registers” poglavlje dokumenta [DocAD]). Read Once AD7730 USB.vi se koristi za čitanje jednog rezultata konverzije.

Prepare Read All AD7730 USB.vi i Read All AD7730 USB.vi se koriste za jednostavno čitanje sva 4 kanala uređaja. Dvostruki klasteri konfiguracije se prosleđuju od jedne

komponente ka drugoj, po jedan za svaku pločicu. Ne postoji potreba za eksplicitnim prebacivanjem između pločica i kanala uređaja.

Primer jednostavnog korišćenja

Ovde je opisan najjednostavniji način za izradu virtuelnog instrumenta koji bi čitao vrednost signala sa kanala 1 pločice A. Posle upotrebe Open AD7730 USB.vi za otvaranje komunikacije prema uređaju, Prepare Cont Read AD7730 USB.vi priprema kontinualno čitanje Data registra pločice A. Podrazumevano je selektovan kanal 1. Sada se mogu koristiti Read Cont AD7730 USB.vi ili Read Avg Cont AD7730 USB.vi, pojedinačno ili u okviru petlje. Instancu komponente End Cont Read AD7730 USB.vi treba postaviti izvan petlje, kako bi se prekinulo kontinualno čitanje. Konačno, komunikaciona sesija ka uređaju se zatvara aktiviranjem Close AD7730 USB.vi.

Između otvaranja sesije i pripreme kontinualnog čitanja opciono se mogu aktivirati Set Filter AD7730 USB.vi and Set Mode and Offset AD7730 USB.vi, ukoliko su potrebna podešavanja koja odstupaju od podrazumevanih.

Ostali virtuelni instrumenti

Više virtuelnih instrumenata nižeg nivoa razvijeno je za realizaciju prethodnih virtuelnih instrumenata. Njihov opis se može pronaći u spisku svih virtuelnih instrumenata.

Opisi virtuelnih instrumenata

Kratak opis svih virtuelnih instrumenata ovog softverskog paketa sa ulaznim i izlaznim parametrima, kao i enumeratori i brojevi grešaka, dati su u nastavku.

Open AD7730 USB.vi – Otvara sesiju za komunikaciju sa EVA+ pločicama putem USB interfejsa.

Ulazni parametar: FT2232 uređaj (podrazumevano 0 ne treba menjati ako je povezan samo jedan FT2232 modul)

Izlazni parametri: VISA-Resource-Name, Error-Cluster

Promalazi VISA resurs – serijski port sa opisom koji sadrže USB i Serial

Inicijalno stanje je SCLK=1, /CS0=0 /CS1=1 (Pločica A selektovana), Din=0, /Rst0=1 /Rst1=1 (ne reset), frekvencija komunikacije=3MHz

Open Manual AD7730 USB.vi – Otvara sesiju prema izabranom VISA resursu za komunikaciju sa EVA+ pločicama putem USB interfejsa.

Ulazni parametri: FT2232 uređaj (podrazumevano 0 ne treba menjati ako je povezan samo jedan FT2232 modul), VISA-Resource-Name

Izlazni parametri: VISA-Resource-Name, Error-Cluster

Inicijalno stanje je SCLK=1, /CS0=0 /CS1=1 (Pločica A selektovana), Din=0, /Rst0=1 /Rst1=1 (ne reset), frekvencija komunikacije=3MHz

Close AD7730 USB.vi – Zatvara sesiju

Ulazni parametri: VISA-Resource-Name, Error-Cluster

Izlazni parametar: Error-cluster

Set Clk AD7730 USB.vi – Podešava frekvenciju komunikacije (učestanost SCLK).

Ulazni parametri: Učestanost takta u Hz, VISA-Resource-Name, Error-Cluster

Razdelnik takta će imati vrednost u opsegu 0-FFFF (učestanost takta 3MHz-91.553Hz) čak i ako je ulazni parametar frekvencije viši ili niži

Izlazni parametri: VISA-Resource-Name, Error-cluster

Select Board AD7730 USB.vi – Selektuje pločicu.

Ulazni parametri: Enumerator pločice (podrazumevano A), VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Reset AD7730 USB.vi – Resetuje izabranu pločicu. Prethodno selektovana pločica se ne menja.

Ulazni parametri: Enumerator pločice (podrazumevano A), VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Write AD7730 USB.vi – Polimorfna funkcija koja upisje bajt ili niz bajtova u ranije izabranu pločicu.

Ulazni parametri: Bajt ili niz bajtova za upis, VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Koristi: Write Byte AD7730 USB.vi, Write Bytes AD7730 USB.vi

Read AD7730 USB.vi – Funkcija koja čita niz bajtova iz ranije izabrane pločice.

Ulazni parametri: Broj bajtova za čitanje, VISA-Resource-Name, Error-Cluster

Izlazni parametri: Niz pročitanih bajtova, VISA-Resource-Name, Error-cluster

Wait RDY AD7730 USB.vi – Zaustavlja izvršavanje i radi pooling /RDY signala izabrane pločice.

Ulazni parametri: Enumerator pločice (podrazumevano A), VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Read Register AD7730 USB.vi – Čita sadržaj izabranog registra ranije izabrane pločice.

Ulazni parametri: Enumerator registra (podrazumevano Comm/Status), VISA-Resource-Name, Error-Cluster

Izlazni parametri: Broj pročitanih bajtova, sadržaj registra dat kao niz bajtova, VISA-Resource-Name, Error-cluster

Read Data AD7730 USB.vi – Vraća vrednost registra Data ranije izabrane pločice, ako je obezbeđen WL bit (bit širine reči podatka) kao ulazni parametar.

Ulazni parametri: 24/16 bit, VISA-Resource-Name, Error-Cluster

Izlazni parametri: Broj pročitanih bajtova, sadržaj Data registra dat kao niz bajtova, VISA-Resource-Name, Error-cluster

Write Register AD7730 USB.vi – Upisuje bajtove u izabrani registar ranije izabrane pločice.

Ulazni parametri: Enumerator registra (podrazumevano Comm/Status), niz bajtova za upis, VISA-Resource-Name, Error-Cluster

Izlazni parametri: Broj upisanih bajtova, VISA-Resource-Name, Error-cluster

Niz bajtova za upis mora imati bar onoliko elemenata koliko je bajtova potrebno za izabrani registar. Ostali bajtovi se ignorišu.

Ako nema dovoljno elemenata vraća se greška 99.

Set D Low AD7730 USB.vi – Postavlja signal Din komponente AD7730 na nisku logičku vrednost. Takođe postavlja SCLK, /RST0, /RST1 sve na visok logički nivo.

Ulazni parametri: VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Prepare Cont Read AD7730 USB.vi – Selektuje pločicu i priprema je za kontinualnu konverziju i kontinualno čitanje Data registra

Ulazni parametri: Enumerator pločice (podrazumevano A), VISA-Resource-Name, Error-Cluster

Izlazni parametri: ConfParameters klaster, VISA-Resource-Name, Error-cluster

Napomena: ni jedan AD7730 USB virtuelni instrument ne bi trebalo da se nalazi po redosledu izvršavanja (određen ulančavanjem putem VISA-Resource) između Prepare Cont Read AD7730 USB.vi i End Cont Read AD7730 USB.vi osim jedne ili više instanci Read Cont AD7730 USB.vi ili Read Avg Cont AD7730 USB.vi ili petlji koje sadrže ove virtuelne instrumente.

Read Cont AD7730 USB.vi – Čita vrednost konverzije iz prethodno selektovane pločice i konvertuje rezultat u mV

Ulazni parametri: ConfParameters klaster, VISA-Resource-Name, Error-Cluster

Izlazni parametri: Vrednost, VISA-Resource-Name, Error-cluster

Napomena: ni jedan AD7730 USB virtuelni instrument ne bi trebalo da se nalazi po redosledu izvršavanja (određen ulančavanjem putem VISA-Resource) između Prepare Cont Read AD7730 USB.vi i End Cont Read AD7730 USB.vi osim jedne ili više instanci Read Cont AD7730 USB.vi ili Read Avg Cont AD7730 USB.vi ili petlji koje sadrže ove virtuelne instrumente.

Read Avg Cont AD7730 USB.vi - Čita srednju vrednost konverzije iz prethodno selektovane pločice i konvertuje rezultat u mV

Ulazni parametri: Broj uzoraka za srednju vrednost, ConfParameters klaster, VISA-Resource-Name, Error-Cluster

Izlazni parametri: Vrednost, VISA-Resource-Name, Error-cluster

Napomena: ni jedan AD7730 USB virtuelni instrument ne bi trebalo da se nalazi po redosledu izvršavanja (određen ulančavanjem putem VISA-Resource) između Prepare Cont Read AD7730 USB.vi i End Cont Read AD7730 USB.vi osim jedne ili više instanci Read Cont AD7730 USB.vi ili Read Avg Cont AD7730 USB.vi ili petlji koje sadrže ove virtuelne instrumente.

End Cont Read AD7730 USB.vi – Prekida kontinualno čitanje prethodno izabrane pločice. Pločica ostaje u modu kontinualne konverzije.

Ulazni parametri: VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Napomena: ni jedan AD7730 USB virtuelni instrument ne bi trebalo da se nalazi po redosledu izvršavanja (određen ulančavanjem putem VISA-Resource) između Prepare Cont Read AD7730 USB.vi i End Cont Read AD7730 USB.vi osim jedne ili više instanci Read Cont AD7730 USB.vi ili Read Avg Cont AD7730 USB.vi ili petlji koje sadrže ove virtuelne instrumente.

Set Filter AD7730 USB.vi – Postavlja vrednost Filter registra ranije izabrane pločice.

Ulazni parametri: Filter klaster, VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Napomena: vrednost Delay parametra će biti u opsegu [0, 15]. Neispravna učestanost konverzije izaziva grešku 98.

Set Mode and Offset AD7730 USB.vi – Postavlja vrednost Mode i Offset registra ranije izabrane pločice.

Ulazni parametri: Mode-Offset klaster, VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Napomena: Vrednost ofseta će biti zaokružena na najbliži multipl 2.5mV za $V_{ref}=5V$ (1.25mV za $V_{ref}=2.5V$). Dozvoljeni opseg ofseta je [-77.5mV, 77.5mV] za $V_{ref}=5V$ ([-38.75mV, 38.75mV] za $V_{ref}=2.5V$). Selektor ulaznog opsega i selektor kanala moraju biti u opsegu [0, 3]. Neispravne vrednosti će izazvati grešku 97.

Select Input AD7730 USB.vi – Da bi selektovao ulazni kanal postavlja Mode registar ranije izabrane pločice.

Ulazni parametri: Selektor kanala, VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Napomena: selektor kanala mora biti u opsegu [0, 3]. Neispravna vrednost će izazvati grešku 96.

Calibrate Internal AD7730 USB.vi – Selektuje pločicu i izvršava internu kalibraciju u dva koraka ranije izabranog kanala (prvo internu kalibraciju pune skale, zatim internu kalibraciju nulte vrednosti)

Ulazni parametri: Enumerator pločice (podrazumevano A), VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Calibrate System Zero AD7730 USB.vi - Selektuje pločicu i izvršava internu kalibraciju u dve koraka ranije izabranog kanala (prvo internu kalibraciju pune skale, zatim sistemsku kalibraciju nulte vrednosti)

Ulazni parametri: Enumerator pločice (podrazumevano A), VISA-Resource-Name, Error-Cluster

Izlazni parametri: VISA-Resource-Name, Error-cluster

Napomena: Napon nulte vrednosti skale sistema treba da se priključi na izabrani kanal i ima stabilnu vrednost za vreme kalibracije.

Prepare Read AD7730 USB.vi – Selektuje pločicu i priprema je za kontinualnu konverziju i pojedinačno čitanje vrednosti Data registra.

Ulazni parametri: Enumerator pločice (podrazumevano A), VISA-Resource-Name, Error-Cluster

Izlazni parametri: ConfParameters klaster, VISA-Resource-Name, Error-cluster

Napomena: Ni jedan virtuelni instrument koji menja neki od bitnih bita Mode registra ne bi trebalo da se nalazi po redosledu izvršavanja (određen ulančavanjem putem VISA-Resource) između Prepare Read AD7730 USB.vi i poslednje instance Read Once AD7730 USB.vi. Ovo se ne odnosi na Select Input AD7730 USB.vi i Select Board AD7730 USB.vi.

Read Once AD7730 USB.vi – Selektuje pločicu i vraća vrednost prethodno izabranog ulaznog kanala u mV.

Ulazni parametri: ConfParameters klaster, VISA-Resource-Name, Error-Cluster

Izlazni parametri: Vrednost, VISA-Resource-Name, Error-cluster

Napomena: Ni jedan virtuelni instrument koji menja neki od bitnih bita Mode registra ne bi trebalo da se nalazi po redosledu izvršavanja (određen ulančavanjem putem VISA-Resource) između Prepare Read AD7730 USB.vi i poslednje instance Read Once AD7730 USB.vi. Ovo se ne odnosi na Select Input AD7730 USB.vi i Select Board AD7730 USB.vi.

Prepare Read All AD7730 USB.vi – Priprema obe pločice za kontinualnu konverziju i čitanje rezultata konverzije.

Ulazni parametri: VISA-Resource-Name, Error-Cluster

Izlazni parametri: ConfParameters klaster za pločicu A, ConfParameters klaster za pločicu B, VISA-Resource-Name, Error-cluster

Napomena: Ni jedan virtuelni instrument koji menja vrednost Mode registra ne bi trebalo da se nalazi po redosledu izvršavanja (određen ulančavanjem putem VISA-Resource) između Prepare Read All AD7730 USB.vi i poslednje instance Read All AD7730 USB.vi. Ne koristiti Select Input AD7730 USB.vi ili Select Board AD7730 USB.vi.

Read All AD7730 USB.vi – Čita sva četiri kanala i vraća vrednosti konverzije u mV.

Ulazni parametri: ConfParameters klaster za pločicu A, ConfParameters klaster za pločicu B, VISA-Resource-Name, Error-Cluster

Izlazni parametri: Vrednost konverzije sa prvog kanala pločice A, vrednost konverzije sa drugog kanala pločice A, vrednost konverzije sa prvog kanala pločice B, vrednost konverzije sa drugog kanala pločice B, VISA-Resource-Name, Error-cluster

Napomena: Ni jedan virtuelni instrument koji menja vrednost Mode registra ne bi trebalo da se nalazi po redosledu izvršavanja (određen ulančavanjem putem VISA-Resource) između Prepare Read All AD7730 USB.vi i poslednje instance Read All AD7730 USB.vi. Ne koristiti Select Input AD7730 USB.vi ili Select Board AD7730 USB.vi.

Enumeratori

Vrednost	Numerička vrednost
A	0
B	1

Tabela 10: Enumeratori pločice

Vrednost	Numerička vrednost	Broj bajtova
Comm/Status	0	1
Data	1	2 ili 3 (u zavisnosti od bita WL u Mode reg.)
Mode	2	2
Filter	3	3
DAC	4	1
Offset	5	3
Gain	6	3

Tabela 11: Enumeratori registra

Vrednost ¹	Numerička vrednost
Ain1+ Ain1-	0

¹ Iste vrednosti za pločicu A i pločicu B

Ain2+ Ain2-	1
Ain1- Ain1-	2
Ain1- Ain2-	3

Tabela 12: Enumeratori ulaznog kanala

Greške

Kod greške	Tekst greške
99	Write Register AD7730 USB.vi - Not enough bytes
98	Set Filter AD7730 USB.vi - Rate out of range
97	Set Mode and Offset AD7730 USB.vi - Data out of range
96	Select Input AD7730 USB.vi - Input selector out of range

Tabela 13: Greške

Izlazni klasteri greške u Open AD7730 USB.vi i Open Manual AD7730 USB.vi mogu da sadrže greške koje imaju opis “DLL calls” i kod u obliku XXYYZZ. XX predstavlja dvocifreni izlazni parametar statusa funkcije FT_Open, YY je status nakon izvršavanja funkcije FT_SetBitMode, dok je ZZ status funkcije FT_Close. Sve pomenute funkcije potiču iz deljene biblioteke FTD2XX.DLL. Izlazne vrednosti parametra statusa imaju značenja kako su definisana u dokumentu [DocD2XX] i prikazana u tabeli 14.

Numerička vrednost	Vrednost
0	FT_OK,
1	FT_INVALID_HANDLE,
2	FT_DEVICE_NOT_FOUND,
3	FT_DEVICE_NOT_OPENED,
4	FT_IO_ERROR,
5	FT_INSUFFICIENT_RESOURCES,
6	FT_INVALID_PARAMETER,
7	FT_INVALID_BAUD_RATE,
8	FT_DEVICE_NOT_OPENED_FOR_ERASE,
9	FT_DEVICE_NOT_OPENED_FOR_WRITE,
10	FT_FAILED_TO_WRITE_DEVICE,
11	FT_EEPROM_READ_FAILED,
12	FT_EEPROM_WRITE_FAILED,
13	FT_EEPROM_ERASE_FAILED,
14	FT_EEPROM_NOT_PRESENT,
15	FT_EEPROM_NOT_PROGRAMMED,

16	FT_INVALID_ARGS,
17	FT_NOT_SUPPORTED,
18	FT_OTHER_ERROR

Tabela 14: Enumerator statusa DLL funkcija

Predlozi za poboljšanje

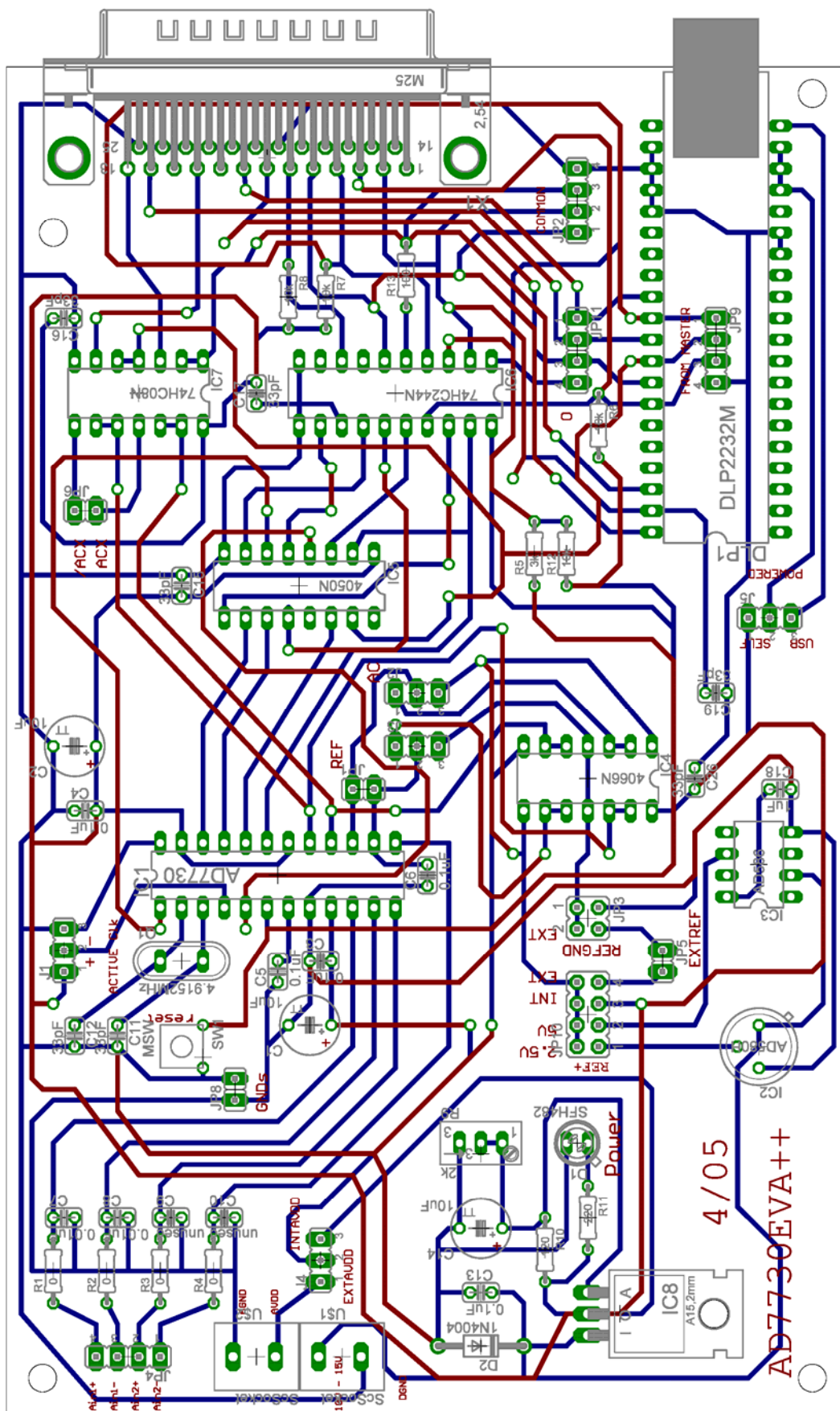
Poboljšanja performansi uređaja moguće je postići na nekoliko načina koji su uočeni i biće izloženi ovde. Trenutni nivo šuma čitavog uređaja je oko 3μV. Ova vrednost je dovoljno dobra i nije kritična zbog mnogo višeg nivoa šuma samog piezo senzora. Ukoliko niži nivo šuma bude potreban u budućnosti, može se učiniti nekoliko stvari. Može se koristiti “Minimum Etch” tehnika (tehnika minimalnog nagrizanja) za izradu mase, sa napajanjem koje koristi što je moguće šire provodne linije, kako bi se obezbedila niska otpornost i smanjio uticaj gličeva na linijama napajanja. Analogna masa bi trebalo da obuhvata površinu ispod čipa AD7730 da bi se izbeglo indukovanje šuma. Kako bi se izbegli efekti termoparova trebalo bi izbegavati podnožja za integrisana kola i konektore, i umesto toga koristiti direktno lemljenje. Kristalni rezonator i kondenzatori takta se mogu pomeriti dublje u digitalni deo pločice i zakloniti širokom trakom mase ili uzemljenim poligonom.

Analogni prekidači utiču na vrednost referentnog napona. Ako bi preciznost referentnog napona, i time preciznost apsolutne vrednosti izmerenog napona, postali kritični, trebalo bi koristiti specijalizovani čip za ove namene, kao što je komponenta 4427 proizvođača Micrel, umesto sadašnjeg STM M74HC4066.

Komponente AD7730 imaju mogućnost sinhronizacije digitalnih filtra i analognih modulatora. Dok je signal /SYNC na niskom logičkom nivou, stepeni digitalnog filtra, kontrolna logika filtra i logika za kontrolu kalibracije su neaktivni, kao i analogni modulator. Signal /SYNC ne utiče na digitalni komunikacioni interfejs, ali postavlja /RDY na visok logički nivo ukoliko je na niskom. Dok je /SYNC na visokom nivou, Mode registar je moguće pripremiti za operaciju koja će se izvršiti čim se /SYNC vrati na nizak logički nivo. Funkcionalnost sinhronizacije nije bila potrebna, te je implementirana samo za pločicu A u slučaju upotrebe paralelnog porta. Ova funkcionalnost se po potrebi može lako ukloniti ili proširiti na USB interfejs korišćenjem nekih od neiskorišćenih I/O pinova opšte upotrebe.

Preporuka je da se uvek koristi konfiguracija za AC-pobudu sa džamperima JP2 i JP3 u položaju 1-2, a da se AC pobuda uključuje i isključuje softverski, postavljanjem bita AC Mode registra¹ na odgovarajuću vrednost. U slučaju da je hardverska konfiguracija za DC pobudu neophodna, treba izmeniti polaritet na JP1(REF) konektoru.

¹ Videti „On-Chip Registers“ poglavlje dokumenta [DocAD]



Slika 8: Izgled EVA+ pločice

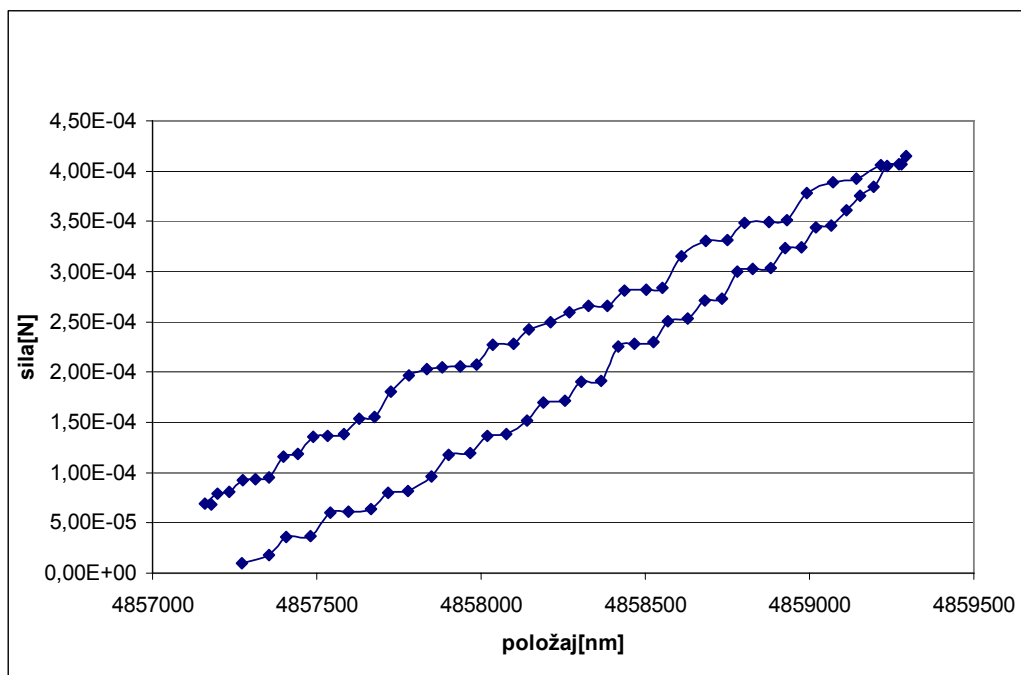
Primene

Razvijen je specijalizovani softver koji upravlja parametrima skenirajućeg elektronskog mikroskopa LEO serije proizvođača Zeis. Ovo obezbeđuje da se testovi vrše unutar elektronskog mikroskopa, i da se tok eksperimenta direktno posmatra. U ovoj fazi testiranja cilj je bio utvrditi da li je moguće uočiti efekte nanoindentacije pri upotrebi ovog sistema. Dobijeni su rezultati koji su zadovoljavajući i daju potvrdan odgovor na ovo pitanje.

Pri pojavi nanoindentacije dolazi do deformacije površinskog sloja materijala, na mestu na koje se delovalo silom ostaje mikroskopsko udubljenje sa dimenzijama u nanometarskom opsegu. Preciznim praćenjem intenziteta sile i položaja indentatora mogu se odrediti parametri mehaničkih osobina mikrometarski tankih slojeva materijala.

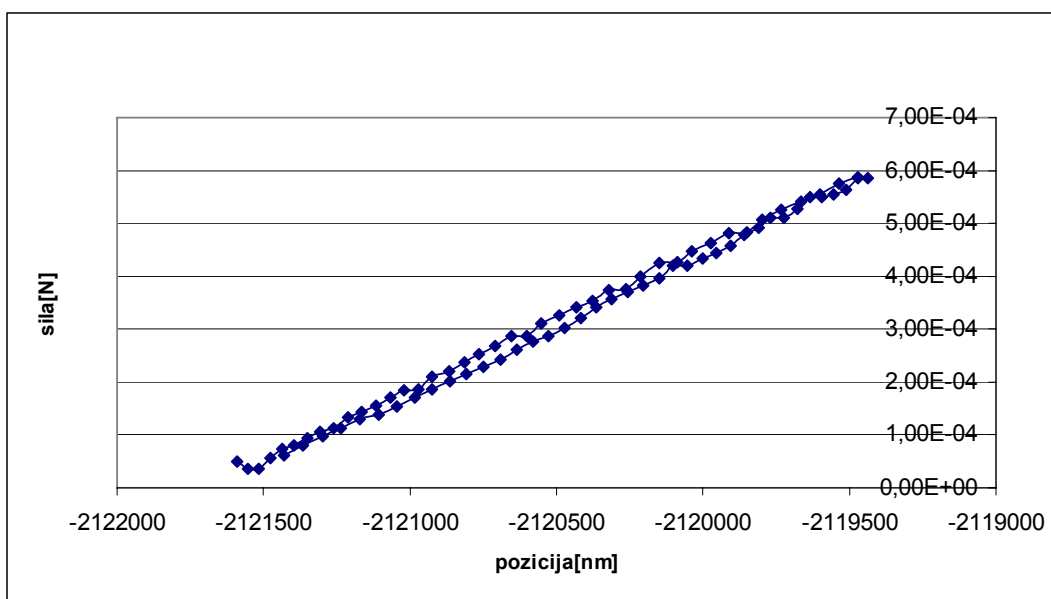
Na grafiku na kojem je prikazana sila delovanja na površinu u odnosu na položaj nanoindentatora, nanoindentacija se manifestuje kao pojava histereziisa prilikom opterećivanja i rasterećivanja materijala. Ovo ponašanje je ono što smo tražili u rezultatima merenja dobijenim iz skenirajućeg elektronskog mikroskopa.

Baš takvo ponašanje pokazuju skoro sva merenja, od kojih su rezultati dva eksperimenta sa različitim početnim uslovima prikazana na slikama 10 i 11. Na x osi je prikazan relativni položaj indentatora u odnosu na nulti položaj nanomotora u nm, dok je na y osi intenzitet sile izmerene razvijenim uređajem.



Slika 10: Rezultati delovanja sile na Aluminijum, cantilever sa vrhom
nanoindentaciono ponašanje, široki histereziis

Kako intenzitet nanoindentacije zavisi od površine dela indentatora kojom se direktno deluje na materijal, očekivano je da će kada se za nanoindentaciju upotrebi cantilever senzor sa oštrim vrhom efekti nanoindentacije biti vidljiviji nego pri primeni cantilever senzora bez vrha. Upravo je takav rezultat dobijen u ova dva različita merenja: histereziis potekao od nanoindentacije senzorom bez vrha (slika 11) je oko 3 puta uži od histereziisa dobijenom primenom indentatora sa vrhom (slika 10).



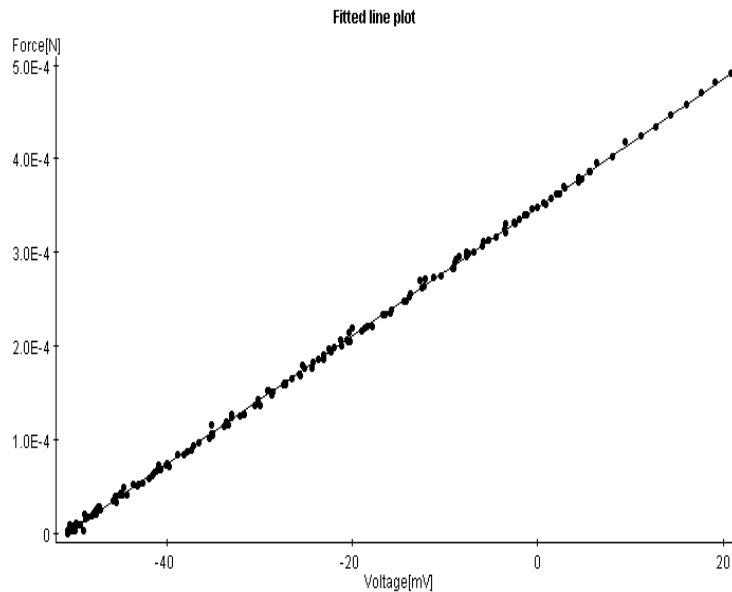
Slika 11: Rezultati delovanja sile na Aluminijum, cantilever bez vrha
nanoindentaciono ponašanje, uži histerezis

Zaključak

Razvijeni sistem je primenjen u sklopu za baždarenje Nascatec senzora, uz Precisa mikrovagu za referentno merenje sile i Klocke nanomotor kao aktuator. Nakon toga je sistem ugrađen u skenirajući elektronski mikroskop, kako bi se posmatrao tok eksperimenta i eventualna nanoindentacija. Iz ove faze primene uređaja dobijena je velika količina podataka koji, sa jedne strane, opisuju karakteristike uređaja, a sa druge strane predstavljaju sirove podatke iz kojih se mogu izvući neke pretpostavke o mehaničkim karakteristikama materijala. Kako se u obrađenim rezultatima moglo prepoznati nanoindentaciono ponašanje uzorka, znači da je uređaj ostvario jednu od svojih namena.

Prema merenjima koja su izvršena, dobijeni uređaj je veoma dobrih karakteristika. Nivo unutrašnjeg šuma samog uređaja je oko $3\mu\text{V}$, što je i efektivna rezolucija. Kada se koristi senzor Nascatec cantilever ova efektivna rezolucija odgovara rezoluciji u merenju sile od oko 100nN , što je zadovoljavajuće čak i za manipulaciju osetljivim biološkim objektima. Ovaj rezultat je više nego dovoljan za upotrebu uređaja sa postojećim senzorima, pošto je nivo šuma piezo senzora oko 100 puta viši od nivoa šuma uređaja. Zbog toga se sada u laboratoriji AMIR aktivno radi na razvoju novog senzora koji bi imao niži nivo šuma, a samim tim i bio u stanju da meri sile manjeg intenziteta.

Specifičnim dizajnom štampane pločice postignut je ovaj veoma nizak nivo unutrašnjeg šuma. Izborom odgovarajućih komponenti postignuta je veoma dobra linearnost sa standardnom devijacijom od $2,81 \cdot 10^{-6}$. Ovaj rezultat se može videti na slici 12, a dobijen je poređenjem rezultata merenja sistema sa rezultatima referentne baždarene Precisa mikrovage, za šta je upotrebljena linearna regresija. U poređenju sa postojećim uređajem Braunschweig koji je dostupan, razvijeni uređaj ima nešto nižu efektivnu rezoluciju, ali je to kompenzovano fleksibilnošću upotrebe, pošto je zbog mogućnosti sofisticiranog podešavanja parametara kao što su ulazni opseg i karakteristike digitalnog filtra, razvijeni uređaj moguće koristiti sa nizom različitih postojećih senzora, kao i onih koji će biti razvijeni u sledećem periodu.



Slika 12: Provera linearnosti mernog sistema

K (koeficijent transformacije) = 6.85×10^{-6} N/mV

R (koeficijent korelacije) = 0.9998

Procena standardne devijacije greške: 2.8119384×10^{-6} N = 2.81 μ N

Druga osobina koja izdvaja ovaj uređaj je to što približno iste karakteristike kao i postojeće, komercijalno dostupno, rešenje nudi za dvadesetak puta nižu cenu, što je postignuto pažljivim izborom upotrebljenih komponenti, obraćajući pažnju da ne dođe do gubitka na performansama.

Treba još napomenuti da su nadređeni i kolege u Istraživačko-razvojnom institutu za informatiku OFFIS bili veoma zadovoljni obavljenim radom i postignutim rezultatima koji su prezentovani i da su izrazili mišljenje da će ti rezultati doprineti razvoju ovog i budućih projekata, kao i želju da nastave saradnju sa autorom i drugim studentima Beogradskog Univerziteta.

Reference

- [Baker00] S.P. Baker et al. (Eds.), Fundamentals of Nanoindentation and Nanotribology II, 2000 MRS Fall Meeting Symposium Proceedings
- [Brock03] Jochen Brock, Entwurf eines System zur Steuerung von Messabläufen im Rasterelektronenmikroskop am Beispiel von mikro-/nano-Indentations- und –Ritztests, Diplomarbeit, Oldenburg, 2003
- [Djordjevic98] Dr Jovan Djordjević: Priručnik iz arhitekture računara, ETF 1998
- [Djordjevic99] Dr Jovan Djordjević: Priručnik iz arhitekture i organizacije računara, ETF 1999
- [DocAD] AD7730 Product sheet: 12569351AD7730_L.pdf
- [DocKle] Manual der Fa. Kleindiek Nanotechnik Literaturangaben 93
- [DocKlc] Dokumentation der Fa. Klocke Nanotechnik: *Nanomotor and Systems, Network Controller, Software*
- [DocKlc2] Dokumentation der Fa. Klocke Nanotechnik: *Dynamic Link Library (DLL)*
- [DocW00] DLP2232 Product Documentation: Windows_2000_Installation_Guide.pdf
- [DocWXP] DLP2232 Product Documentation: Windows_XP_Installation_Guide.pdf
- [DocD2XX] DLP2232 Product Documentation: D2XXPG30.pdf
- [Douglas] Douglas V. Hall, Microprocessors and Interfacing - Programming and Hardware, 2nd Edition, Macmilan/McGraw-Hill, USA
- [Fatikow00] Prof. Dr.-Ing. S. Fatikow, *Mikroroboter und Mikromontage*, B. G. Teubner, 2000
- [Flegler95] S.L. Flegler, J. W. Heckman Jr., K. L. Klomparens, *Elektronenmikroskopie – Grundlagen, Methoden, Anwendungen*, Heidelberg: Spektrum Akademischer Verlag, 1995
- [Lazic98] Prof. Dr Borivoj Ž. Lazić: Logičko projektovanje računara, Nauka Beograd 1998
- [LEO01] LEO Elektronenmikroskopie GmbH: *LEO SEM Remote Control User's Guide RemCon32*, 2001
- [LEO3] LEO Elektronenmikroskopie GmbH: *Handbuch zur Softwareansteuerung des LEO 15XX* (Leo 32 V 02.03)
- [MacKenzie] I. Scott MacKenzie, The 8051 Microcontroller, Prentice Hall, USA
- [Milutinovic1] Veljko Milutinović, Projektovanje Telekomunikacionih uređaja pomoću mikroračunara, Institut "Mihajlo Pupin", Beograd
- [Milutinovic2] Veljko Milutinovic, Dragan Božanic, Dejan Polomcic, Milivoje Aleksić, Uvod u projektovanje racunarskih sistema, Beograd
- [Milutinovic3] Veljko Milutinović, Projektovanje i arhitektura RISC procesora za VLSI, Nauka, Beograd
- [Milutinovic98] Milutinovic, V., Microprocessor and Multimicroprocessor Systems, Copyright by Veljko Milutinovic, 1998
- [Wftdi] <http://www.ftdi.com>
- [WLeo] <http://www.leo.org>
- [Wnm] Klocke Nanotechnik: <http://www.nanomotor.de>
- [Wni] National Instruments: *LabVIEW Manuals*, <http://www.ni.com/>

Sadržaj

Uvod	2
Postojeća rešenja	3
Detalji implementacije	3
Hardver	3
Veza dve pločice	6
Paralelni port	7
USB interfejs	8
Dizajn štampanog kola	10
Softver	14
Otvaranje i zatvaranje komunikacije prema uređaju	14
Izbor pločice i kanala	15
Podešavanje parametara	15
Kalibracija	16
Čitanje	16
Primer jednostavnog korišćenja	17
Ostali virtuelni instrumenti	17
Opisi virtuelnih instrumenata	17
Enumeratori	22
Greške	23
Predlozi za poboljšanje	24
Primene	27
Zaključak	28
Reference	30
Sadržaj	31

Appendix:

Documentation for HW-SW Subsystem for Data Acquisition of Wheatstone-based Force Sensor

Analogue and digital interface was needed for establishing measurement and control loop between force sensor at one end and the PC on the other side.

Hardware

The used force sensors (Nascatec cantilever or 3-channel force sensor from Braunschweig) are designed in the configuration of Wheatstone bridge circuit. Structure of four piezo-resistive parts of sensor form a Wheatstone bridge circuit, and the difference between resistance of unaffected resistors and the resistors affected by force is proportional to the applied force. Every Wheatstone bridge has 4 ports: 2 for reference voltage and next 2 as a differential output with voltage proportional to the applied force. For the full functionality with the 3 channel sensor, used interface should support at least 3 A/D channels.

For the interfacing to the PC protocol of choice was USB because of its high speed and the fact that it is already a standard part of almost every PC configuration. The option of using parallel port is also implemented.

Hardware part of the subsystem consists of more functional blocks, as shown in Figure 1.

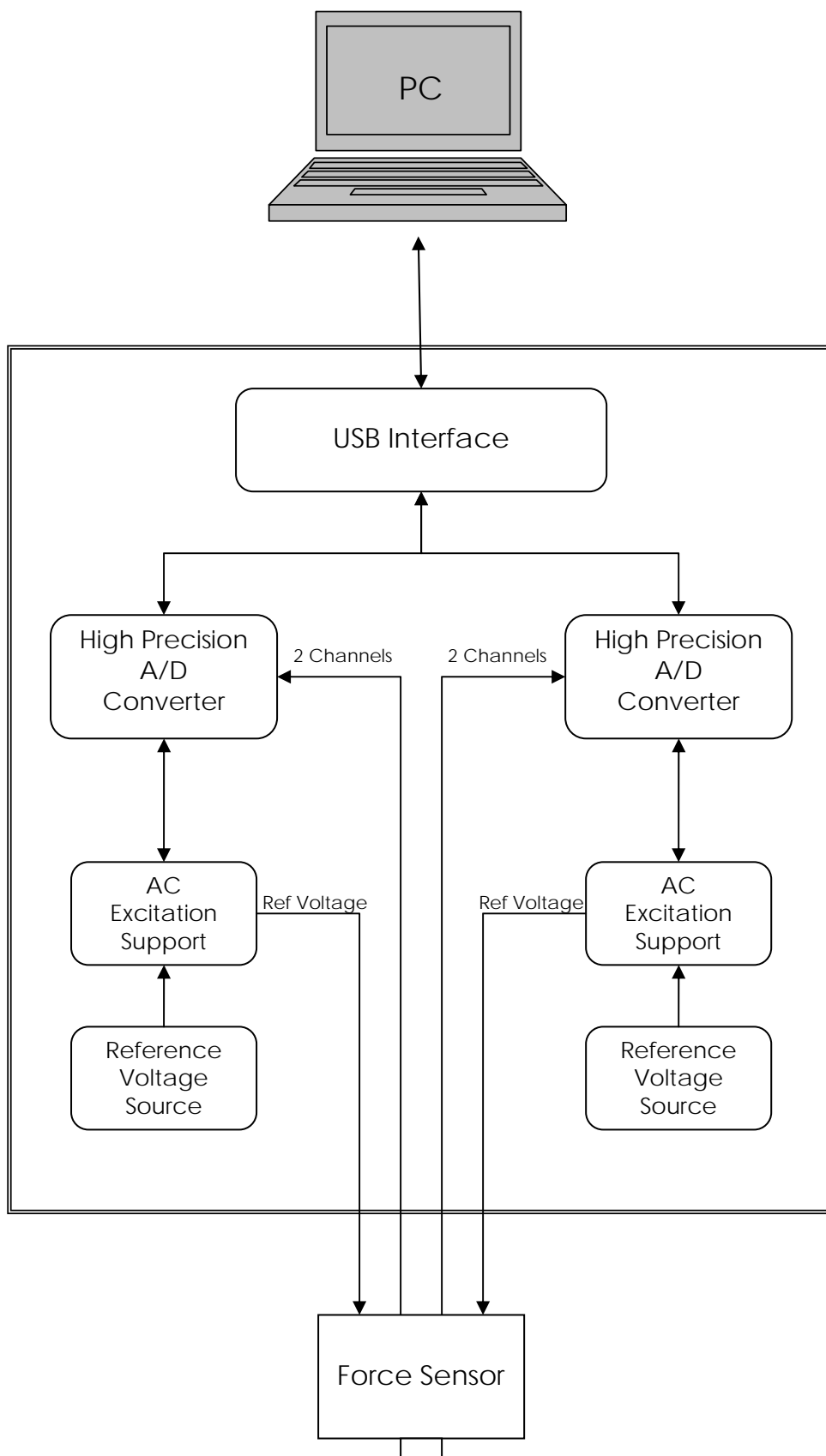


Figure 1

Core of the system are 2 Analog Devices AD7730 high resolution A/D converters. This bridge transducer A/D converter has specifications that match very well with the requirements for the application of force measurement using force sensors formed as Wheatstone bridges. The features of AD7730 will be discussed in depth in following chapters.

Sensors have strain gage transducers whose resistance changes when subjected to mechanical stress. The gages are configured in a Wheatstone bridge arrangement, and they are passive devices and require an excitation voltage to generate a voltage output. The block “Reference Voltage Source” in Figure 1 supplies the sensor with the high precision reference voltage for exciting the bridge. It is possible to choose between 2.5V and 5V reference voltage. First one is obtained using Analog Devices AD580 component that supplies $2.5V \pm 0.4\%$, and the later one with Analog Devices high precision AD586 device that supplies $5V \pm 0.04\%$. It is also possible to use system 5V supply voltage as a reference voltage, or to connect external reference voltage to connector JP5. The choice of reference voltage source is done using jumpers JP10 and JP3. As shown on Table 1 jumper JP10 is used to select positive reference voltage and every position corresponds to position of jumper JP3. Positions are numerated as shown on Figure 2.

Reference Voltage	Position of JP10	Position of JP3
2.5V	1	1
5V	2	1
Internal Supply 5V	3	1
External Reference Voltage	4	2

Table 1: Reference Voltage Select

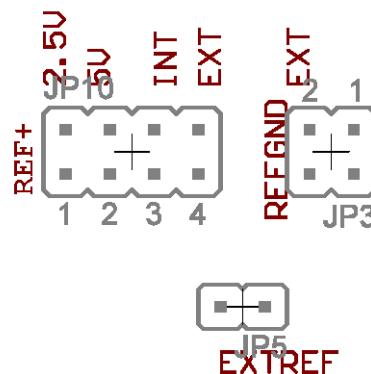


Figure 2: Jumpers JP10 and JP3 and connector JP5

One of the features of AD7730 is that it is specified for drift over time. Two types of voltage excitation can be provided for the bridge: dc excitation or ac excitation. This is selected using jumpers J2 and J3, as shown on Table 2. Jumpers' pins are numerated as shown on Figure 3. In dc-excitation configuration “AC Excitation Support” block is skipped and constant reference voltage is fed to the sensor and AD7730. Thermocouple effects are common source of unwanted drift effects, and they can be omitted by using ac-excitation configuration. In ac-excitation, the polarity of the excitation voltage to the bridge is reversed on alternate cycles. For the purpose of alternating the excitation voltage STMicroelectronics analogue switch M74HC4066 is used.

Configuration	J2 Position	J3 Position
DC-excitation	2 and 3 shorted	2 and 3 shorted
AC-excitation	1 and 2 shorted	1 and 2 shorted

Table 2

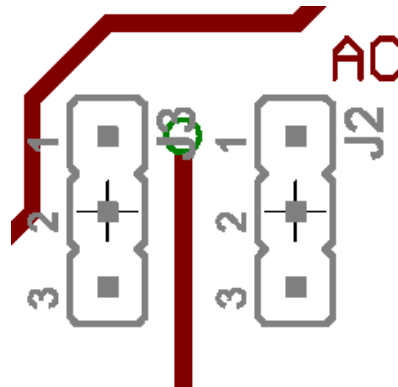


Figure 3: Detail of Board Layout Showing Jumpers J2 and J3

Considering that maximum update rate of the A/D converter is 7.6 kHz, and that data word is up to 24 bit wide, total putthrough for 4 channel data is 729.6 kbit/s. Adding at least 20-30% of control data we approach the maximum speed of parallel port. That is why the option of USB interfacing to a PC was added. DLP2232M module used for this purpose offers SPI communication protocol that was originally not completely compatible with the AD7730 part's communication protocol. With small ad-ons it was possible to provide compatibility in this communication, and to achieve transmit rates up to 3Mbit/s, what is more than enough for the communication with the device.

Two Boards Interfacing

For implementing one version of SPI protocol used for communication to AD7730 parts it is necessary to provide: SCLK clock signal that will shift data in and out of the AD7730 part, two data lines, DIN and DOUT, as well as $/CS_0$ and $/CS_1$ select signals for choosing one of the two boards. For correct functioning two more signals, $/RDY_0$ and $/RDY_1$, must be read from the AD7730 parts. Optional lines are $/Reset_0$ and $/Reset_1$ and $/Sync$.

Note: DIN and DOUT signals are named with respect to AD7730 parts.

$/RDY_0$ and $/RDY_1$ are used as a status outputs in both conversion mode and calibration mode. In conversion mode, a logic low on this output indicates that a new output word is available from the AD7730 data register. The $/RDY$ line will return high upon completion of a read operation of a full output word. If no data read has taken place after an output update, the $/RDY$ line will return high prior to the next output update, remain high while the update is taking place and return low again. This gives an indication of when a read operation should not be initiated to avoid initiating a read from the data register as it is being updated. In calibration mode, $/RDY$ goes high when calibration is initiated and it returns low to indicate that calibration is complete.

$/Reset_0$ and $/Reset_1$ are optional because it is possible to perform AD7730 part reset by writing 32 ones to serial interface. Anyway, $/Reset$ line is implemented in both parallel and USB interface.

The communication lines originating from parallel port or USB DLP2232M module can be divided into two groups: common lines that are distributed to both boards and the lines that

exist for each board separately. This is shown in Table 3, with designated direction of lines with respect to AD7730 parts.

Common Lines			Separate Lines		
SCLK	DIN	DOUT	/CS ₀	/RDY ₀	/Reset ₀
			/CS ₁	/RDY ₁	/Reset ₁
in	in	out	in	out	in

Table 3: Two Groups of Communication Lines

SCLK and DIN lines are simply distributed to the both boards, and for connecting DOUT lines from two AD7730 parts, 3-state buffer is used. As a control input of this 3-state buffer selection lines /CS₀ and /CS₁ are used. In the case that both boards are selected during reading, no useful result will be returned, but resistors R13 guard the logic components from overcurrent. It is left to software to avoid occurrence of this state. If the provided software components are used, this state is unreachable and will not occur.

The board schematic is designed in such a way that there is no difference in layout of two boards in system. The difference is only made during assembling time. Only one of two boards should have USB DLP2232M module or SUB-D Parallel Port connector built in. This board will appear as board A and will use common lines and lines with subscript 0. It is also referred to as a “master”. The other board is board B and uses lines with subscript 1 as well as common lines.

Common connector JP2 of one board is connected to common connector JP2 of the other, while the connector JP11 of the board that have USB DLP2232M module is connected to connector JP9 on the other board. “Master” board doesn’t have JP9 connector – the place is taken by USB module, and the JP11 connector of the other board is unused, and does not need to be soldered at all.

Parallel Port

One of the options for communication with PC is using parallel port. The communication is anyway serial, but PC’s parallel port can be used to simulate SPI-like communication. The set of VIs that support this way of communication is also provided. These VIs are described in different document named AD7730 Parallel VIs.doc. For this approach it is needed to read from port that represents base address of parallel port, and to write to port on the next address. The bit assignments for these two ports together with pin numbers of used D-Sub connector are shown on Table 4 and 5. PPbase represents base address of the parallel port in the system.

bit	7	6	5	4	3	2	1	0
D-SUB Pin	9	8	7	6	5	4	3	2
Parallel Port Signal Name	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
Connected Signal	-	/CS ₁	/Reset ₁	/Sync	SCLK	/CS ₀	/Reset ₀	DIN

Table 4: Bit Assignment at PPbase+0

bit	7	6	5	4	3	2	1	0
-----	---	---	---	---	---	---	---	---

D-SUB Pin	11	10	12	13	17	16	14	1
Parallel Port Signal Name	/Busy	Ack	Papout	Select	/SelPr	Init	/AutoLF	/Strobe
Connected Signal	-	/RDY ₀	/RDY ₁	DOUT	-	-	-	-

Table 5: Bit Assignment at PPbase+1

USB Interface

One mode of operation of DLP2232M module is when the “Multi-Protocol Synchronous Serial Engine” (MPSSE) is active. It can be activated on one of two existing communication channels of DLP2232M. In this mode module can communicate with devices that use synchronous protocols (such as JTAG or SPI) in an efficient manner. 4 of 12 signals dedicated for synchronous communication have special function. These are SK – clock signal output, DO – serial data output, DI serial data input, and CS – select signal output. Other 8 signals are general purpose input/output signals. Table 6 shows the signal assignment between pins of DLP2232M and already mentioned signals used for communication with AD7730 parts. The direction of signals is this time shown with the respect to the DLP2232M module.

Data Bit	Module Signal Name	Module Pin	Direction	Connected Signal
0	SK	AD0	out	SCLK
1	DO	AD1	out	DIN
2	DI	AD2	in	DOUT
3	CS	AD3	out	-
4	GPIOL1	AD4	in/out	-
5	GPIOL2	AD5	in/out	-
6	GPIOL3	AD6	out [§]	/Reset ₀
7	GPIOL4	AD7	out [§]	/Reset ₁
8	GPIOH1	AC0	in [§]	/RDY ₀
9	GPIOH2	AC1	in [§]	/RDY ₁
10	GPIOH3	AC2	out [§]	/CS ₀
11	GPIOH4	AC3	out [§]	/CS ₁

Table 6: Signal Assignment for DLP2232M Module

Timing, as set using jumper J1, the AD7730 part puts out data on the DOUT line in a read operation on a high-to-low transition of SCLK. Using read command of DLP2232M module that samples the data on the rising edge of the SK (SCLK) signal, straightforward reading of the data from the parts is possible. The timing diagram for reading operation is shown on Figure 4. Red line represents moment of sampling the DOUT signal.

[§] As set by software

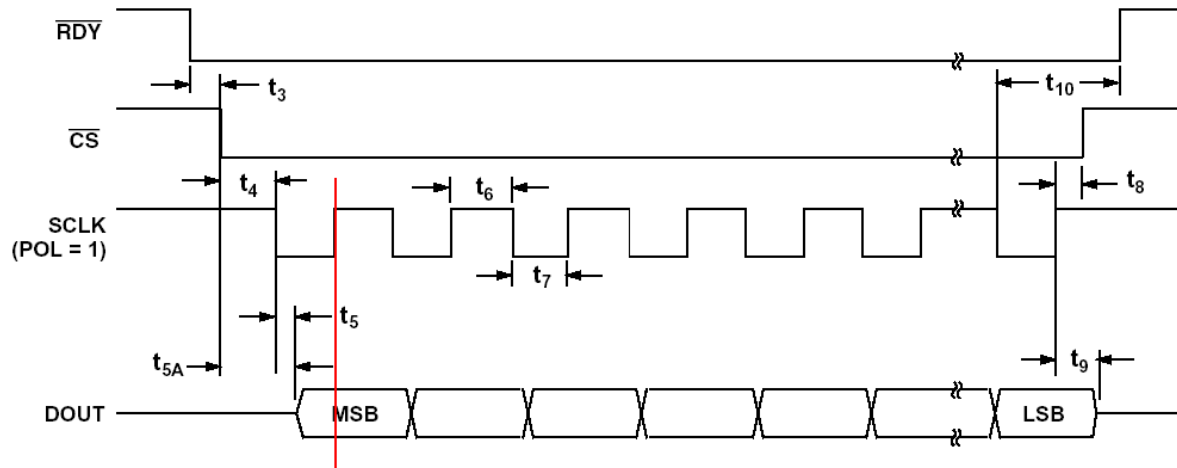


Figure 4: Timing Diagram of Read Operation

The AD7730 part clocks in data from the DIN line in a write operation on a low-to-high transition of SK (SCLK). In applications with a noncontinuous serial clock as this one, this means that the serial clock should idle high between data transfers. Only DLP2232M's command that can be used with clock being idle high, is that change data bit on the rising edge of the SK (SCLK) signal. As shown in Figure 5, moment of reading the data bit corresponds with moment of changing the bit value.

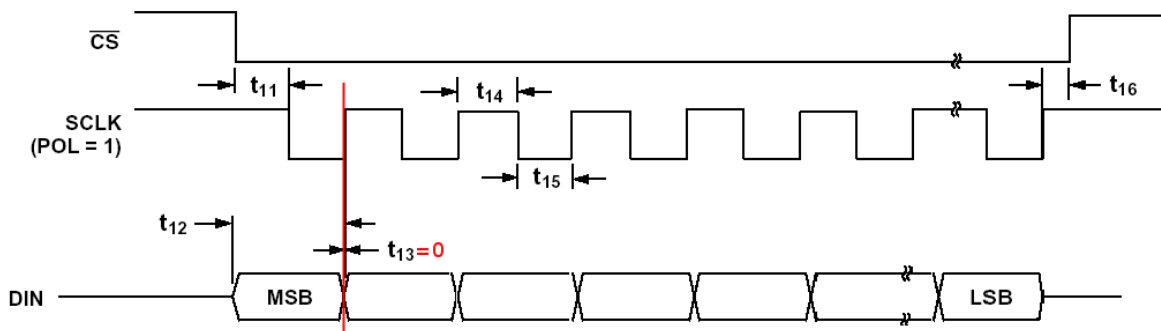


Figure 5: Original Timing Diagram for Write Operation

Since the AD7730 expects at least 25ns of hold time, the timing diagram should look like the one presented in Figure 6. The solution to this problem is to add capacitor between DIN line and ground to delay this signal in reaching the transition point. The experimentally obtained value is 55pF - 65pF. That provides optimal delay of signal, greater than 25ns, without influencing communication, even at 3MHz speed. Timing diagram of delayed signal is shown on Figure 6. Red line again represents moment of sampling the DIN signal.

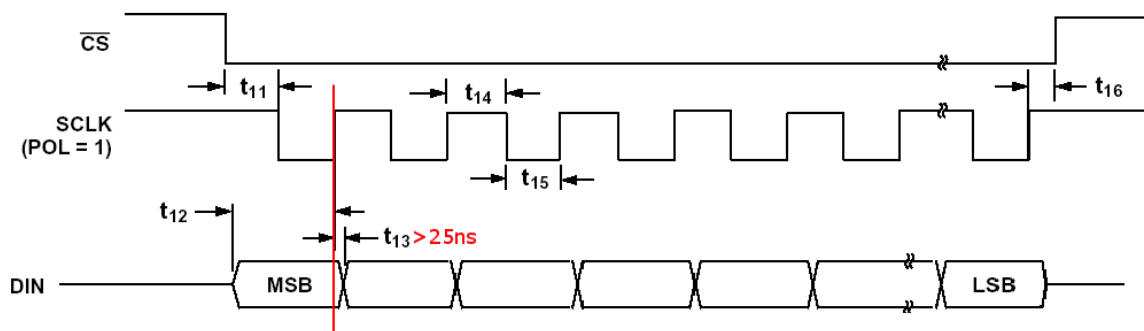


Figure 6: Final Timing Diagram for Write Operation

The meanings and the values of the timing parameters can be found in “Timing Characteristic” table of 12569351AD7730_L.pdf document.

Layout

The schematics and layout of the EVA+ boards is done using Eagle Layout Editor 4.11. It is later converted and saved as Target 3001! V11 professional project. Libraries containing symbols and package descriptions of AD7730 and DLP2232M had to be produced. Brief descriptions of all board’s connectors follow in Table 7.

Connector	Description	Caption
U\$1	Screw terminal for 10V supply voltage	10-15V, DGND
U\$2	Optional screw terminal for analog supply ¹	AGND, AVDD
JP4	2 channels differential inputs	Ain1+, Ain1-, Ain2+, Ain2-
JP5	External reference voltage	EXTREF
JP1	Reference voltage output	REF
JP6	Optional ACX and /ACX outputs ²	/ACX, ACX
JP2	Common bus for communication lines	COMMON
JP9	Connector for separate communication lines (only board without DLP2232M module should have this connector, on the “master” board it is covered by DLP2232)	FROM MASTER
JP11	Connector for separate communication lines (only “master” board should have this connector, on the board without DLP2232M it is unused)	O

Table 7: Connectors

Many parameters of board functionality can be set up using jumpers. In Table 8 jumpers of EVA+ board and their functions are listed. The default positions are marked with square brackets.

Jumper	Description	Pos.	Caption
J4	External analog supply from U\$2 used	1-2	EXTAVDD
	Internal supply used for AVDD input of AD7730	[2-3]	INTAVDD
JP8	Shorting analog and digital ground	[Short]	GNDs
JP10 (REF+)	Internal 2.5V reference voltage	[1]	2.5V
	Internal 5V reference voltage	2	5V

¹ See „Bipolar Excitation of the Bridge“ section of 12569351AD7730_L.pdf

² See „AC Excitation of the Bridge“ section of 12569351AD7730_L.pdf

	5V supply used as reference voltage	3	INT
	External reference voltage used form JP5	4	EXT
JP3 (REFGND)	Using internal ground for reference voltage	[1]	
	Using external ground for reference voltage	2	EXT
J2/J3 ¹	Use AC excitation circuit	[1-2]	AC
	Skip AC excitation circuit	2-3	
J1 (ACTIVE Clk)	Negative SCLK edge changes DOUT, positive edge samples DIN, when idle SCLK should be high (AD7730's POL pin high) ²	[1-2]	+
	Positive SCLK edge changes DOUT, negative edge samples DIN, when idle SCLK should be low (AD7730's POL pin low) ²	2-3	-
J5 (POWERED)	DLP2232M module is self powered	[1-2]	SELF
	DLP2232M module is powered from the USB bus	2-3	USB

Table 8: Jumpers

The layout is carried out following suggestions for grounding and low-noise layout in some points. Analog and digital sections are separated and confined to certain areas of the board, and digital and analog ground are joined at one place, near the pins of AD7730. Traces on opposite sides of the board run at angles as near as possible to the right angle. To lower influence of thermocouple effect to differential inputs, it is attempted to equalize thermocouples influencing every end of differential pairs, by using matched connectors in the signal paths. Although there was no sufficient area on the board, no fast changing signals are running under the AD7730 chip, so the coupling noise onto the die is avoided. Fast switching signal of the system clock is shielded with ground stripe to the differential inputs.

Connection to sensor is performed by one male 25-pin D-SUB connector with the assignment of pins as shown at Figure 7.

¹ Both jumpers should be in same position

² See “Serial Interface” section of 12569351AD7730_L.pdf

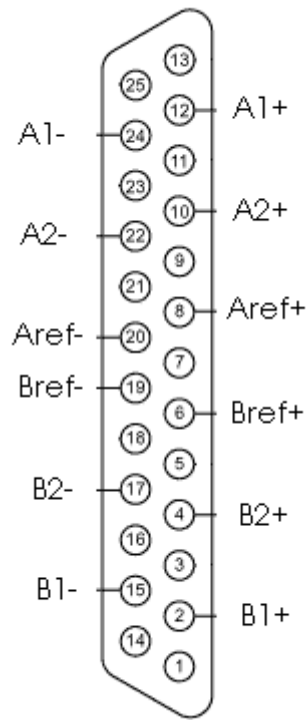


Figure 7: D-SUB Connection to Sensor (Look from the Inside)

Signal	D-SUB Pin	Description
A1+	12	Positive end of the differential input, first channel, board A
A1-	24	Negative end of the differential input, first channel, board A
A2+	10	Positive end of the differential input, second channel, board A
A2-	22	Negative end of the differential input, second channel, board A
Aref+	8	Positive terminal of the reference voltage output for board A
Aref-	20	Negative terminal of the reference voltage output for board A
B1+	2	Positive end of the differential input, first channel, board B
B1-	15	Negative end of the differential input, first channel, board B
B2+	4	Positive end of the differential input, second channel, board B
B2-	17	Negative end of the differential input, second channel, board B
Bref+	6	Positive terminal of the reference voltage output for board B
Bref-	19	Negative terminal of the reference voltage output for board B

This way of assignments of pins enables using of shielded cable for protecting the differential inputs from picking up the noise. Grounded shield can be connected to surrounding pins around each channel, in that way protecting the inputs wires in the connector, too. Otherwise, these free pins can be used for conducting some other signals in future versions of device.

Software

For an USB communication the manufacturer of DLP2232M module provided 2 layers of drivers. The first one consists of D2XX drivers, allowing software interfacing directly to the device using a collection of Windows DLL functions. The second layer is Virtual Com Port (VCP) driver that makes the peripheral ports look like a standard COM port to the PC. Using the VCP drivers, communication with the device is carried out in the same way as it would be with a regular PC COM port - using the Windows VCOMM API calls or a COM port library. For taking the advantage of simplicity, approach with VCP driver was used, and in later tests it was shown that there is no change in communication speed when directly calling provided DLL functions from LabView. Installation of these drivers is explained in documents [Windows_2000_Installation_Guide.pdf](#) and [Windows_XP_Installation_Guide.pdf](#). After installing the Virtual Com Port it is necessary to set the receive and transmit buffers of this port to the minimum value. This can be done by changing buffer size of USB Serial Port to 64 in Device Manager in Windows (Properties/Port Settings/Advanced). This will not affect the performance, since the packages sent and received are smaller than 64 bytes, but will prevent communication problems.

Some of the parameters of the DLP2232M module are defined by setting the appropriate values in EEPROM. The manufacturer provided an utility program “Mprog 2.3” for changing the content of the built-in EEPROM. Important is to set USB Power Option to Self Powered. Template with correct settings used for the module is selfpowered.ept.

Extensive set of software components, in LabView called subVIs, was developed for utilizing different functionalities of device, such as setting-up, calibration and reading the data. All the subVIs, except Open AD7730 USB.vi and Open Manual AD7730 USB.vi need Visa Resource Name and Error cluster as inputs, and also every subVI is having a copy of Visa Resource Name and Error cluster as outputs. Values in Error cluster can be changed in accordance with error emerged. This approach with chaining the functions using Visa Resource Name and Error cluster enables the sequential execution of subVIs.

Opening and closing the device

SubVIs that execute necessary steps before device can be used, and after the end of usage, are needed.

So called “Multi-Protocol Synchronous Serial Engine Interface” (MPSSE) of the DLP2232M module has to be activated at the beginning to provide serial protocol for communicating with AD7730 parts. After this point all the communication with the device is going through virtual serial port. Another task of Open AD7730 USB.vi is to automatically find appropriate port that represents VCP. This is done by comparing the description of the interfaces available on the computer, and the one that matches “USB Serial Port” is selected. For the case that this description is changed in some of the newer versions of the driver, or this approach doesn’t work, there is possibility to use Open Manual AD7730 USB.vi where the programmer is given a possibility to fix the port that is going to be used. Visa session to this port is opened, timeout set to 1s and termination character disabled. Initial state of DLP2232 module is set to the values shown in Table 9.

Communication speed to AD2232 parts (SDCLK frequency)	3Mhz
SCLK	High
Din	Low

/Reset ₀	High
/Reset ₁	High
/CS ₀	Low
/CS ₁	High

Table 9: Initial Settings of DLP2232M Module's MPSSE, as After Open AD7730 USB.vi

Set Clk AD7730 USB.vi offers setting the communication speed to AD7730 parts in range 3MHz-91.553Hz.

At the end of execution chain Visa session should be closed with Close AD7730 USB.vi.

Selecting board and channel

The system consists of two complete boards which can be configured separately. Each board has two channels that use the same configuration, but different offset and gain registers. Selecting of the channel within a board is local to that board, that means that it doesn't change channel selected for the other board. Some of subVIs select board or channel corresponding to input parameters, and also subVIs are provided that explicitly select wished board and channel. These are Select Board AD7730 USB.vi and Select Input AD7730 USB.vi

Setting-up

To use different features of AD7730 parts, VIs that set the values of the most important registers of the parts are developed. The in-depth coverage of the functionalities of AD7730 is given in document 12569351AD7730_L.pdf.

Reset AD7730 USB.vi is used to reset one of the boards, setting all the registers of this board to default power-up values. For these values see "On Chip Registers" section of 12569351AD7730_L.pdf.

For setting the basic modes of operation of one of the boards use Set Mode and Offset AD7730 USB.vi. It allows the user to set voltage range for the input signal, offset value added to signal before starting A/D conversion, and the width of data word of the result that influences the resolution. It is also used to describe the reference voltage used and to initially select the channel. In UI Set Mode and Offset AD7730 USB.vi set of controls is offered to the programmer. This set can be copied to a new VI and placed into the while loop possibly with another set of controls. By connecting its Visa-Resource and Error cluster inputs and outputs into the execution chain, it provides input controls configured for constraints imposed by the configuration of AD7730 part.

Setting of filter characteristics of the part is conveyed using Set Filter AD7730 USB.vi. For characteristics and different options of filtering in AD7730 see "On Chip Registers" and "Digital Filtering" sections of 12569351AD7730_L.pdf. A set of input controls similar to the previous one is given in UI Set Filter AD7730 USB.vi.

The rest of the registers can be accessed for reading with Read Register AD7730 USB.vi, and for writing with Write Register AD7730 USB.vi

Calibration

2 VIs are offered to provide calibration of the device. Every channel of each board has dedicated offset and gain registers, and calibration is to be carried out separately for each channel. Calibration always consists of 2 steps, one for determining zero-scale point of the

input and the other for determining full-scale point of the input. Full-scale calibration is always carried out with internally applied reference voltage to the inputs. In Calibrate Internal AD7730 USB.vi for zero-point calibration inputs are internally shorted, and during the execution of Calibrate System Zero AD7730 USB.vi stable value of input is expected, that will be used as zero-point of the system. More about calibration of the device can be found in “Calibration” section of 12569351AD7730_L.pdf.

Reading

One possibility to read data provided as a result of the conversion in AD7730 is to select the board, channel and to use Read Register AD7730 USB.vi. This VI will first read the Mode register to determine the size of the data word, and then according to this it will read the appropriate number of bytes from Data register. In the case when the speed is critical, it is possible to use Read Data AD7730 USB.vi. In this case the data word length is provided to VI in form of input parameter, so there is no need for reading the mode register each time. In addition, the set of VIs exists that provide reading of the results together with scaling the resulting data into mV, depending of the applied settings considering range, polarity and data word length.

Several approaches of reading the results in mV from the device are possible.

Continuous read of one channel is supported by VIs: Prepare Cont Read AD7730 USB.vi, Read Cont AD7730 USB.vi, Read Avg Cont AD7730 USB.vi, and End Cont Read AD7730 USB.vi. First one prepares device for reading by selecting the board given as input parameter and prepares continuous read of already selected channel. Reading of single sample value or average value of more samples can be carried on after this. This step can be repeated as many times needed, provided that no other subVI is put inside the execution chain. At the end continuous read is ended by End Cont Read AD7730 USB.vi.

If the manipulation with Mode register is needed during the reading (like input channel change or board selecting) another set of VIs can be used. Prepare Read AD7730 USB.vi puts the board given as parameter in continual conversion mode but allows individual reads of conversion results. Note that continuous conversion mode and continuous reading of data register are different terms (see “On Chip Registers” section of 12569351AD7730_L.pdf) Read Once AD7730 USB.vi is used to read single conversion result.

Prepare Read All AD7730 USB.vi and Read All AD7730 USB.vi are utilizing easy reading of all 4 channels of the device. Double configuration clusters are passed from one VI to another, one for each board. Four results in mV are returned. No need for explicit switching between boards and channels within the board.

Quick-Start

The simplest way of building VI that will read the values from channel 1 of the A board is described here. After using Open AD7730 USB.vi for opening the device, Prepare Cont Read AD7730 USB.vi is preparing the continuous read of data register from board A. By default channel 1 is selected. Now, Read Cont AD7730 USB.vi or Read Avg Cont AD7730 USB.vi can be used, individually or inside loop. An instance of End Cont Read AD7730 USB.vi should be placed outside the loop to end the continuous read mode, and finally the session to the device should be closed with Close AD7730 USB.vi.

Between opening and preparing the continuous mode, instances of Set Filter AD7730 USB.vi and Set Mode and Offset AD7730 USB.vi can be optionally placed, if the settings other than default are needed.

Other VIs

More lower-level VIs are developed for realisation of previous VIs. Their description can be found in list of all VIs.

VI descriptions

Short descriptions with input and output parameters of all subVIs of this package, as well enumerators and error numbers used here, are given in addition:

Open AD7730 USB.vi - Opens the session for communicating with AD7730 boards via USB.

Input: FT2232 device (default 0 does not have to be changed if there is only one FT2232 module connected)

Outputs: VISA-Resource-Name, Error-Cluster

It finds VISA resource - serial port with description containing terms USB and Serial

Initial state is SCLK=1, /CS0=0 /CS1=1 (Board A selected), Din=0, /Rst0=1 /Rst1=1 (not reset), transmission rate=3MHz

Open Manual AD7730 USB.vi - Opens the session to the selected VISA-Resource-Name for communicating with AD7730 boards via USB.

Input: FT2232 device (default 0 does not have to be changed if there is only one FT2232 module connected), VISA-Resource-Name

Outputs: VISA-Resource-Name, Error-Cluster

Initial state is SCLK=1, /CS0=0 /CS1=1 (Board A selected), Din=0, /Rst0=1 /Rst1=1 (not reset), transmission rate=3MHz

Close AD7730 USB.vi - Closes the session

Inputs: VISA-Resource-Name, Error-Cluster

Output: Error-cluster

Set Clk AD7730 USB.vi - Sets the transmission data rate (Freq of SCLK)

Inputs: Clock Rate in HZ, VISA-Resource-Name, Error-Cluster

Clk divider will be in range 0-FFFF (Clk Freq 3MHz-91.553Hz) even if the input frequency is higher or lower.

Outputs: VISA-Resource-Name, Error-cluster

Select Board AD7730 USB.vi - Selects board.

Inputs: Board enum (default A), VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Reset AD7730 USB.vi - Resets the selected board. Board previously selected doesn't change.

Inputs: Board enum (default A), VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Write AD7730 USB.vi - Polymorphic function which writes byte or array of bytes directly to already selected board.

Inputs: Byte or array of bytes to write, VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Using: Write Byte AD7730 USB.vi, Write Bytes AD7730 USB.vi

Read AD7730 USB.vi - Function which reads array of bytes directly from already selected board.

Inputs: Number of bytes to read, VISA-Resource-Name, Error-Cluster

Outputs: Array of bytes read, VISA-Resource-Name, Error-cluster

Wait RDY AD7730 USB.vi - Stops the execution and does polling on /RDY pin of the selected board

Inputs: Board enum (default A), VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Read Register AD7730 USB.vi - Reads the content of selected register of the already selected board

Inputs: Register enum (default Comm/Status), VISA-Resource-Name, Error-Cluster

Outputs: Number of bytes read, Content of selected register given as an array of bytes, VISA-Resource-Name, Error-cluster

Read Data AD7730 USB.vi - Returns the value of the Data register of the already selected board, provided Word Length (WL) bit as input.

Inputs: 24/16 bit designator, VISA-Resource-Name, Error-Cluster

Outputs: Number of bytes read, Content of Data register given as an array of bytes, VISA-Resource-Name, Error-cluster

Write Register AD7730 USB.vi - Writes given bytes to the selected register of the already selected board

Inputs: Register enum (default Comm/Status), Array of bytes to write, VISA-Resource-Name, Error-Cluster

Outputs: Number of bytes written, VISA-Resource-Name, Error-cluster

Array of bytes to write must have at least as many elements as bytes needed for selected register. Other bytes are ignored.

If there is not enough elements error 99 is returned.

Set D Low AD7730 USB.vi - Sets Din line of AD7730 low. Also asserts SCLK, /RST0, /RST1 all to high

Inputs: VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Prepare Cont Read AD7730 USB.vi - Selects board and prepares it for continuous conversion and continuous read of data register.

Inputs: Board enum (default A), VISA-Resource-Name, Error-Cluster

Outputs: ConfParameters cluster, VISA-Resource-Name, Error-cluster

Note: No other AD7730 USB VIs should be placed into execution chain (connected by VISA-Resource) between Prepare Cont Read AD7730 USB.vi and End Cont Read AD7730 USB.vi except one or more instances of Read Cont AD7730 USB.vi or Read Avg Cont AD7730 USB.vi or loops with these VIs.

Read Cont AD7730 USB.vi - Reads the value from the previously selected board and converts it in mV.

Inputs: ConfParameters cluster, VISA-Resource-Name, Error-Cluster

Outputs: Value, VISA-Resource-Name, Error-cluster

Note: No other AD7730 USB VIs should be placed into execution chain (connected by VISA-Resource) between Prepare Cont Read AD7730 USB.vi and End Cont Read AD7730 USB.vi except one or more instances of Read Cont AD7730 USB.vi or Read Avg Cont AD7730 USB.vi or loops with these VIs.

Read Avg Cont AD7730 USB.vi - Reads the average value from the previously selected board and converts it in mV.

Inputs: Number of samples for averaging, ConfParameters cluster, VISA-Resource-Name, Error-Cluster

Outputs: Value, VISA-Resource-Name, Error-cluster

Note: No other AD7730 USB VIs should be placed into execution chain (connected by VISA-Resource) between Prepare Cont Read AD7730 USB.vi and End Cont Read AD7730 USB.vi except one or more instances of Read Cont AD7730 USB.vi or Read Avg Cont AD7730 USB.vi or loops with these VIs.

End Cont Read AD7730 USB.vi - Ends continuous reading of previously selected board. Board stays in continuous conversion mode.

Inputs: VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Note: No other AD7730 USB VIs should be placed into execution chain (connected by VISA-Resource) between Prepare Cont Read AD7730 USB.vi and End Cont Read AD7730 USB.vi except one or more instances of Read Cont AD7730 USB.vi or Read Avg Cont AD7730 USB.vi or loops with these VIs.

Set Filter AD7730 USB.vi - Sets Filter register of already selected board.

Inputs: Filter Cluster, VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Note: Delay value will be fitted to [0, 15] range. Incorrect Output Rate value will cause error 98.

Set Mode and Offset AD7730 USB.vi - Sets Mode and Offset register of already selected board.

Inputs: Mode-Offset Cluster, VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Note: Offset value will be rounded to closest multiple of 2.5mV for Vref=5V (1.25mV for Vref=2.5V). Allowed Range for offset is [-77.5mV, 77.5mV] for Vref=5V ([-38.75mV, 38.75mV] for Vref=2.5V). Input range selector and Input channel selector must be in range [0, 3]. Incorrect values will cause error 97.

Select Input AD7730 USB.vi - To select input sets Mode register of already selected board.

Inputs: Input channel selector, VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Note: Input channel selector must be in range [0, 3]. Incorrect value will cause error 96.

Calibrate Internal AD7730 USB.vi - Selects board and performs 2 step internal calibration of the already selected channel (internal full scale, then internal zero scale)

Inputs: Board enum (default A), VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Calibrate System Zero AD7730 USB.vi - Selects board and channel and performs 2 step calibration (internal full scale, then system zero scale)

Inputs: Board enum (default A), VISA-Resource-Name, Error-Cluster

Outputs: VISA-Resource-Name, Error-cluster

Note: The system zero-scale voltage should be applied to the selected channel and remain stable for the duration of the calibration.

Prepare Read AD7730 USB.vi - Selects board and prepares it for continuous conversion and individual read of data register.

Inputs: Board enum (default A), VISA-Resource-Name, Error-Cluster

Outputs: ConfParameters cluster, VISA-Resource-Name, Error-cluster

Note: No VIs that change the value of important bits in mode register should be placed into execution chain (connected by VISA-Resource) between Prepare Read AD7730 USB.vi and the last instance of Read Once AD7730 USB.vi. This does not apply to Select Input AD7730 USB.vi and Select Board AD7730 USB.vi.

Read Once AD7730 USB.vi - Selects the board and returns the value of the previously selected input in mV.

Inputs: ConfParameters cluster, VISA-Resource-Name, Error-Cluster

Outputs: Value, VISA-Resource-Name, Error-cluster

Note: No VIs that change the value of important bits in mode register should be placed into execution chain (connected by VISA-Resource) between Prepare Read AD7730 USB.vi and the last instance of Read Once AD7730 USB.vi. This does not apply to Select Input AD7730 USB.vi and Select Board AD7730 USB.vi.

Prepare Read All AD7730 USB.vi - Prepares both boards for continuous conversion and read of values.

Inputs: VISA-Resource-Name, Error-Cluster

Outputs: ConfParameters cluster for board A, ConfParameters cluster for board B, VISA-Resource-Name, Error-cluster

Note: No VIs that change the value of mode register should be placed into execution chain (connected by VISA-Resource) between Prepare Read All AD7730 USB.vi and the last instance of Read All AD7730 USB.vi. Do not use Select Input AD7730 USB.vi or Select Board AD7730 USB.vi.

Read All AD7730 USB.vi - Reads all four channels and return the values in mV.

Inputs: ConfParameters cluster for board A, ConfParameters cluster for board B, VISA-Resource-Name, Error-Cluster

Outputs: Value of the first channel of the board A, Value of the second channel of the board A, Value of the first channel of the board B, Value of the second channel of the board B, VISA-Resource-Name, Error-cluster

Note: No VIs that change the value of mode register should be placed into execution chain (connected by VISA-Resource) between Prepare Read All AD7730 USB.vi and the last instance of Read All AD7730 USB.vi. Do not use Select Input AD7730 USB.vi or Select Board AD7730 USB.vi.

Enumerators

Value	Numerical Value
A	0
B	1

Table 10: Board Enum

Value	Numerical Value	Bytes
Comm/Status	0	1
Data	1	2 or 3 (depending on bit WL in Mode reg)
Mode	2	2
Filter	3	3
DAC	4	1
Offset	5	3
Gain	6	3

Table 11: Register Enum

Value ¹	Numerical Value
Ain1+ Ain1-	0
Ain2+ Ain2-	1
Ain1- Ain1-	2
Ain1- Ain2-	3

Table 12: Input Channel Enum

Errors

99	Write Register AD7730 USB.vi - Not enough bytes
98	Set Filter AD7730 USB.vi - Rate out of range
97	Set Mode and Offset AD7730 USB.vi - Data out of range
96	Select Input AD7730 USB.vi - Input selector out of range

Table 13: Errors

On output Error cluster of Open AD7730 USB.vi and Open Manual AD7730 USB.vi errors are possible with the source description “DLL calls” and code in form XXYYZZ. XX represents two-figure status return parameter from function FT_Open, YY is status after executing function FT_SetBitMode, and ZZ return status value of FT_Close function, all from shared library FTD2XX.DLL. The return status value of these functions is enumerator and as defined in document D2XXPG30.pdf is shown in next Table

Numerical Value	Enum Value
0	FT_OK,
1	FT_INVALID_HANDLE,
2	FT_DEVICE_NOT_FOUND,

¹ The same for A board and B board

3	FT_DEVICE_NOT_OPENED,
4	FT_IO_ERROR,
5	FT_INSUFFICIENT_RESOURCES,
6	FT_INVALID_PARAMETER,
7	FT_INVALID_BAUD_RATE,
8	FT_DEVICE_NOT_OPENED_FOR_ERASE,
9	FT_DEVICE_NOT_OPENED_FOR_WRITE,
10	FT_FAILED_TO_WRITE_DEVICE,
11	FT_EEPROM_READ_FAILED,
12	FT_EEPROM_WRITE_FAILED,
13	FT_EEPROM_ERASE_FAILED,
14	FT_EEPROM_NOT_PRESENT,
15	FT_EEPROM_NOT_PROGRAMMED,
16	FT_INVALID_ARGS,
17	FT_NOT_SUPPORTED,
18	FT_OTHER_ERROR

Table 14: DLL Functions' Status Enum

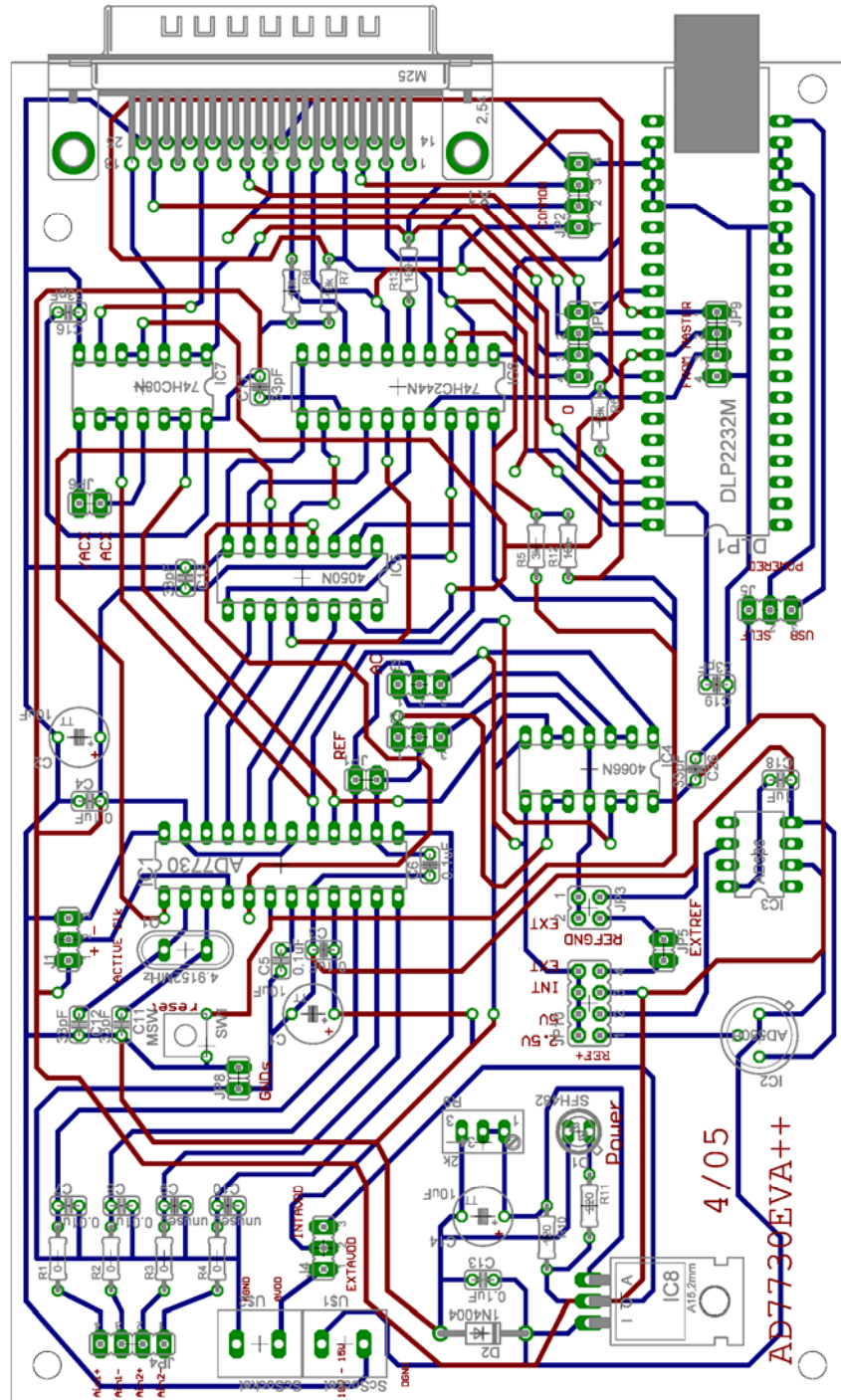


Figure 8: Layout of the EVA Board

Tips for improvement

Several points that can be changed to improve the performance of the device are noticed and will be exposed here. The current noise level of the whole device is around $3\mu\text{V}$. This level is good enough and is not critical because of higher level noise in piezo sensor itself. If the lower noise level of the device is required in the future, several things can be done. Minimum etch technique could be used for ground planes, with the power supply lines that use as large a trace as possible to provide low impedance paths and reduce the effects of the glitches on the power supply line. The analogue ground plane should be allowed to run under AD7730 to avoid noise coupling. To minimize the thermocouple effects IC sockets and link options

should be avoided as much as possible by using direct soldering. Crystal resonator and clock capacitors can be put deeper into digital area of the board and shielded with wide ground stripe or ground polygon.

The analogue switches are influencing the reference voltage. If the precision of reference voltage and thus precision of absolute measured value of input voltage would become critical, dedicated bridge driver chip such as the 4427 from Micrel can be used instead of STM's M74HC4066.

AD7730 parts have the possibility of the synchronisation of the digital filters and analog modulators. While /SYNC is low, the nodes of the digital filter, the filter control logic and the calibration control logic are reset and the analog modulator is also held in its reset state. /SYNC does not affect the digital interface but does reset /RDY to a high state if it is low. While /SYNC is asserted, the Mode Bits may be set up for a subsequent operation which will commence when the /SYNC pin is deasserted. The synchronisation functionality was not required and it is at this moment implemented only for board A using parallel port. It can be easily removed if it is unwanted or expanded to USB interface using some of unused general I/O pins if it is needed.

It is recommended to always use AC-excitation configuration with jumpers JP2 and JP3 in position 1-2 and to switch AC excitation in software, using bit AC of mode register.¹ In the case that DC-excitation hardware configuration is necessary, please exchange polarity at JP1 (REF) connector.

Troubleshooting

Problem: Visa Error -1073807252 VI_ERROR_ASRL_OVERRUN occurred during transfer.

Solution: This is buffer overflow error. More bytes than it can be received by hardware are sent even if the handshaking protocol is applied. Please set receive and transmit buffers of Virtual Com Port to lowest value, which will deactivate RTS signal earlier. After that please restart the device by turning it off and then on.

Problem: All channels returning constant value (for example -10mV) very fast. Some of errors met (for example 99 - Write Register AD7730 USB.vi - Not enough bytes)

Solution: Was the device turned off during the execution? Was the VI stopped by Cancel Execution button of LabView? Please do not turn the device off before ending the programs. Please use Stop button inside the provided VIs for ending the execution. Stop the program and restart the device by turning it off and on again. If you use Open Manual AD7730 USB.vi check if the correct VISA resource name is selected.

Problem: Even after restarting the device, DLL errors appear or still returning constant value very fast.

Solution: It happens sometime after unsuccessful execution of program that Visa session is not closed and still some locks on resources left, so the drivers are not working properly. Deinstalling the USB-controller from the system and letting it install again by activating "Search for new hardware" from Device Manager in Windows should solve the problem. Otherwise try to restart your computer after deinstalling the USB-controller.

¹ See „On-Chip Registers“ section of 12569351AD7730_L.pdf

Table of Contents

Documentation for HW-SW Subsystem for Data Acquisition of Wheatstone-based Force	
Sensor	32
Hardware	32
Two Boards Interfacing.....	35
Parallel Port	36
USB Interface	37
Layout.....	39
Software	42
Opening and closing the device	42
Selecting board and channel.....	43
Setting-up	43
Calibration.....	43
Reading.....	44
Other VIs	44
VI descriptions	45
Enumerators	49
Errors	50
Tips for improvement.....	52
Troubleshooting	53
Table of Contents	54